



ZW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Appl. No. : 10/701,511 Confirmation No. 7366
Applicant : R. TAKEMURA et al
Filed : November 6, 2003
Title : SEMICONDUCTOR DEVICE
TC/AU : 2827
Examiner : T.Q. Le
Docket No. : T&A-122
Customer No.: 24956

Commissioner for Patents
Mail Stop Petitions
P.O. Box 1450
Alexandria, VA 22313-1450

**PETITION FOR UNINTENTIONALLY DELAYED
CLAIM FOR PRIORITY UNDER 35 U.S.C. §119**

Sir:

Upon review of this application prior to paying the issue fee, it was discovered that priority was inadvertently not claimed to JP 2003-373026, filed October 31, 2003. Therefore, pursuant to 37 CFR §1.55(c), Applicants state the following:

- (1) Applicants hereby claim priority under 35 U.S.C. §119 to Japanese application JP 2003-373026, filed October 31, 2003;
- (2) the surcharge set forth in §1.17(t) of \$1,370.00 is enclosed in an accompanying Credit Card Payment Form; and
- (3) the entire delay between the date the claim was due under 37 CFR §1.55(a)(1) and the date the claim was filed was unintentional.

06/16/2005 R000F01 00000056 10701511

01 FC:1454

1370.00 OF

Appl. No. 10701,511
Petition for Unintentionally Delayed Claim for
Priority filed June 15, 2005


T&A-122

The Commissioner is hereby authorized to charge Deposit Account No. 50-1417 for any other fees that are deemed necessary.

A certified copy of the foreign priority document is enclosed.

Respectfully submitted,

MATTINGLY, STANGER, MALUR & BRUNDIDGE, P.C.

By 
Shrinath Malur
Reg. No. 34,663
(703) 684-1120

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年10月31日
Date of Application:

出願番号 特願2003-373026
Application Number:
[JP2003-373026]
ST. 10/C]:

願人 株式会社日立製作所
Applicant(s): エルピーダメモリ株式会社
株式会社日立超エル・エス・アイ・システムズ

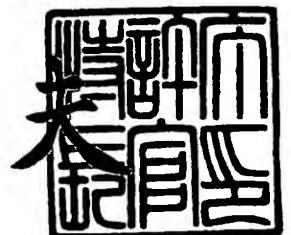
CERTIFIED COPY OF
PRIORITY DOCUMENT

USSN 10/701,511
MATTINGLY, STANGER, MALOR & BRUNDIDGE, PC.
(703) 684-1120
T+A-122 (DKT)

2003年11月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 H03011731
【提出日】 平成15年10月31日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/10
【発明者】
 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所
 中央研究所内
 【氏名】 竹村 理一郎
【発明者】
 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所
 中央研究所内
 【氏名】 関口 知紀
【発明者】
 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所
 中央研究所内
 【氏名】 阪田 健
【発明者】
 【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・
 エス・アイ・システムズ内
 【氏名】 宮武 伸一
【発明者】
 【住所又は居所】 東京都中央区八重洲二丁目 2 - 1 エルピーダメモリ株式会社内
 【氏名】 野田 浩正
【発明者】
 【住所又は居所】 東京都中央区八重洲二丁目 2 - 1 エルピーダメモリ株式会社内
 【氏名】 梶谷 一彦
【特許出願人】
 【識別番号】 000005108
 【氏名又は名称】 株式会社日立製作所
【特許出願人】
 【識別番号】 500174247
 【氏名又は名称】 エルピーダメモリ株式会社
【特許出願人】
 【識別番号】 000233169
 【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ
【代理人】
 【識別番号】 100080001
 【弁理士】
 【氏名又は名称】 筒井 大和
 【電話番号】 03-3366-0787
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-324644
 【出願日】 平成14年11月 8日
【手数料の表示】
 【予納台帳番号】 006909
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1



【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9003105
【包括委任状番号】 9107732

【書類名】 特許請求の範囲**【請求項 1】**

複数のワード線と、
複数のデータ線対と、
前記複数のワード線と前記複数のデータ線対との交点に設けられた複数のメモリセルと

、
前記複数のデータ線対のうち、第 1 選択線によって第 1 データ入出力線対に接続される第 1 データ線対と、第 2 選択線によって前記第 1 データ入出力線対に接続される第 2 データ線対と、

前記第 1 データ線対と接続された第 1 センスアンプと、

前記第 2 データ線対と接続された第 2 センスアンプと、

第 1 制御線によって制御され、前記第 1 センスアンプの第 1 ノードに接続された前記第 1 センスアンプに第 1 電源を供給するための第 1 MISFET からなる第 1 スイッチと、

前記第 1 制御線によって制御され、前記第 2 センスアンプの第 2 ノードに接続された前記第 2 センスアンプに前記第 1 電源を供給するための第 2 MISFET からなる第 2 スイッチとを有する半導体装置において、

前記第 1 ノードと前記第 2 ノードは電氣的に分離されており、

前記第 1 データ入出力線対から前記第 1 データ線対へデータを書き込む際に、前記第 1 制御線よりも先に前記第 1 選択線が活性化状態となることを特徴とする半導体装置。

【請求項 2】

請求項 1 の半導体装置は、

前記第 1 データ線対と接続された第 3 センスアンプと、

前記第 2 データ線対と接続された第 4 センスアンプと、

第 2 制御線によって制御され、前記第 3 センスアンプの第 3 ノードに接続された前記第 3 センスアンプに第 2 電源を供給するための第 3 MISFET からなる第 3 スイッチと、

前記第 2 制御線によって制御され、前記第 4 センスアンプの第 4 ノードに接続された前記第 4 センスアンプに前記第 2 電源を供給するための第 4 MISFET からなる第 4 スイッチとを有し、

複数のワード線は第 1 方向に延在し、複数のデータ線対は第 2 方向に延在し、

前記第 1 と第 2 センスアンプは各々第 1 導電型の MISFET 対を有し、

前記第 3 と第 4 センスアンプは各々第 2 導電型の MISFET 対を有し、

前記第 3 ノードと前記第 4 ノードは電氣的に分離されていることを特徴とする半導体装置。

【請求項 3】

請求項 1 の半導体装置は、

前記第 1 選択線でゲートが制御され、前記第 1 データ線対の一方のデータ線と前記第 1 データ入出力線対の一方のデータ入出力線との間にソース・ドレイン経路を有する第 5 MISFET と、前記第 1 データ線対の他方のデータ線と前記第 1 データ入出力線対の他方のデータ入出力線との間にソース・ドレイン経路を有する第 6 MISFET と、

前記第 1 データ線対に接続された第 1 出力アンプとを更に有し、

上記第 1 出力アンプは、第 3 制御線で制御され、前記第 5 MISFET のソース・ドレイン経路とソース・ドレイン経路が接続された第 7 MISFET と、前記第 6 MISFET のソース・ドレイン経路とソース・ドレイン経路が接続された第 8 MISFET と、前記第 1 データ線対の一方のデータ線とゲートが接続され、前記第 6 MISFET のドレインと前記第 8 MISFET のソースの接続点にドレインが接続された第 9 MISFET と、前記第 1 データ線対の他方のデータ線とゲートが接続され、前記第 5 MISFET のドレインと前記第 7 MISFET のソースの接続点にドレインが接続された第 10 MISFET とを有することを特徴とする半導体装置。

【請求項 4】

請求項 3 の半導体装置は、

前記第2選択線でゲートが制御され、前記第2データ線対の一方のデータ線と前記第1データ入出力線対の一方のデータ入出力線との間にソース・ドレイン経路を有する第11 MISFETと、前記第2データ線対の他方のデータ線と前記第1データ入出力線対の他方のデータ入出力線との間にソース・ドレイン経路を有する第12 MISFETと、

前記第2データ線対に接続された第2出力アンプと、

第4制御線によって制御され、第5ノードに接続された前記第1出力アンプに第3電源を供給するための第5スイッチと、

前記第4制御線によって制御され、第6ノードに接続された前記第2出力アンプに前記第3電源を供給するための第6スイッチとを更に有し、

上記第2出力アンプは、前記第3制御線で制御され、前記第11 MISFETのソース・ドレイン経路とソース・ドレイン経路が接続された第13 MISFETと、前記第12 MISFETのソース・ドレイン経路とソース・ドレイン経路が接続された第14 MISFETと、前記第2データ線対の一方のデータ線とゲートが接続され、前記第12 MISFETのドレインと前記第14 MISFETのソースの接続点にドレインが接続された第15 MISFETと、前記第2データ線対の他方のデータ線とゲートが接続され、前記第11 MISFETのドレインと前記第13 MISFETのソースの接続点にドレインが接続された第16 MISFETとを有し、前記第5ノードと前記第6ノードが電氣的に分離されていることを特徴とする半導体装置。

【請求項5】

請求項1において、

前記複数データ線対のうち、前記第1選択線によって制御される第1データ線対は複数有り、

前記第1データ線対の各々と接続された複数の前記第1センスアンプは前記第1スイッチを共有し、前記第1センスアンプと接続される前記メモリセルはMISFETと容量を具備することを特徴とする半導体装置。

【請求項6】

請求項1において、

前記第1センスアンプと接続される第1データ線対はそれぞれ前記メモリセルが接続された相補な2本の線からなり、前記メモリセルはMISFETと容量とを有することを特徴とする半導体装置。

【請求項7】

請求項2において、

前記第1センスアンプと前記第3センスアンプ及び、前記第2センスアンプと第4センスアンプはそれぞれ正帰還アンプを構成することを特徴とする半導体装置。

【請求項8】

複数のワード線と、

複数のデータ線対と、

前記複数のワード線と前記複数のデータ線対との交点に設けられた複数のメモリセルと

、
前記複数データ線対のうち、第1選択線によって第1データ入出力線対に接続される第1データ線対と、第2選択線によって前記第1データ入出力線対に接続される第2データ線対と、

前記第1データ線対と接続された第1センスアンプと、

前記第2データ線対と接続された第2センスアンプと、

第1制御線によって制御され、前記第1センスアンプの第1ノードに接続された前記第1センスアンプに第1電源を供給するための第1 MISFETからなる第1スイッチと、

前記第1制御線によって制御され、前記第2センスアンプの第2ノードに接続された前記第2センスアンプに前記第1電源を供給するための第2 MISFETからなる第2スイッチとを有する半導体装置において、

前記ワード線を活性化した時、前記複数データ線対の全てにデータが読み出され、

前記第1ノードと前記第2ノードは電氣的に分離されていることを特徴とする半導体装置。

【請求項9】

請求項8の半導体装置は、

前記第1データ線対と接続された第3センスアンプと、

前記第2データ線対と接続された第4センスアンプと、

第2制御線によって制御され、前記第3センスアンプの第3ノードに接続された前記第3センスアンプに第2電源を供給するための第3MISFETからなる第3スイッチと、
前記第2制御線によって制御され、前記第4センスアンプの第4ノードに接続された前記第4センスアンプに前記第2電源を供給するための第4MISFETからなる第4スイッチとを有し、

前記第1と第2センスアンプは各々第1導電型のMISFET対を有し、

前記第3と第4センスアンプは各々第2導電型のMISFET対を有し、

複数のワード線は第1方向に延在し、複数のデータ線は第2方向に延在し、

前記第3ノードと前記第4ノードは電氣的に分離されていることを特徴とする半導体装置。

【請求項10】

請求項8の半導体装置は、

前記第1選択線でゲートが制御され、前記第1データ線対の一方のデータ線と前記第1データ入出力線対の一方のデータ入出力線との間にソース・ドレイン経路を有する第5MISFETと、前記第1データ線対の他方のデータ線と前記第1データ入出力線対の他方のデータ入出力線との間にソース・ドレイン経路を有する第6MISFETと、

前記第1データ線対に接続された第1出力アンプとを更に有し、

上記第1出力アンプは、第3制御線で制御され、前記第5MISFETのソース・ドレイン経路とソース・ドレイン経路が接続された第7MISFETと、前記第6MISFETのソース・ドレイン経路とソース・ドレイン経路が接続された第8MISFETと、前記第1データ線対の一方のデータ線とゲートが接続され、前記第6MISFETのドレインと前記第8MISFETのソースの接続点にドレインが接続された第9MISFETと、前記第1データ線対の他方のデータ線とゲートが接続され、前記第5MISFETのドレインと前記第7MISFETのソースの接続点にドレインが接続された第10MISFETとを有することを特徴とする半導体装置。

【請求項11】

請求項10の半導体装置は、

前記第2選択線でゲートが制御され、前記第2データ線対の一方のデータ線と前記第1データ入出力線対の一方のデータ入出力線との間にソース・ドレイン経路を有する第11MISFETと、前記第2データ線対の他方のデータ線と前記第1データ入出力線対の他方のデータ入出力線との間にソース・ドレイン経路を有する第12MISFETと、

前記第2データ線対に接続された第2出力アンプと、

第4制御線によって制御され、第5ノードに接続された前記第1出力アンプに第3電源を供給するための第5スイッチと、

前記第4制御線によって制御され、第6ノードに接続された前記第2出力アンプに前記第3電源を供給するための第6スイッチとを更に有し、

上記第2出力アンプは、前記第3制御線で制御され、前記第11MISFETのソース・ドレイン経路とソース・ドレイン経路が接続された第13MISFETと、前記第12MISFETのソース・ドレイン経路とソース・ドレイン経路が接続された第14MISFETと、前記第2データ線対の一方のデータ線とゲートが接続され、前記第12MISFETのドレインと前記第14MISFETのソースの接続点にドレインが接続された第15MISFETと、前記第2データ線対の他方のデータ線とゲートが接続され、前記第11MISFETのドレインと前記第13MISFETのソースの接続点にドレインが接続された第16MISFETとを有し、前記第5ノードと前記第6ノードが電氣的に分離

されていることを特徴とする半導体装置。

【請求項 12】

第1ライトコマンドに対応して入力される第1ライトアドレスを保持するための第1アドレスラッチと、

前記第1ライトコマンドに対応して入力される第1ライトデータを保持するための第1ライトデータラッチと、

第1サブメモリアレーを含むメモリアレーを有し、

前記第1サブメモリアレーは、第1方向に延在する複数のワード線と、

第2方向に延在する複数のデータ線対と、

複数のメモリセルとを有し、

前記複数のデータ線対のうち、前記第1ライトアドレスに対応した第1選択線で選択される第1データ線対と、

第2選択線で選択される第2データ線対と、

前記第1データ線対に設けられた第1導電型のMISFET対からなる第1センスアンプと、

前記第1センスアンプに隣接して配置され、前記第2データ線対に設けられた前記第1導電型のMISFET対からなる第2センスアンプと、

第1制御線によって制御され、前記第1センスアンプの第1ノードに接続された前記第1センスアンプに第1電源を供給するための前記第1導電型のMISFET対からなる第1スイッチと、

第1制御線によって制御され、前記第2センスアンプの第2ノードに接続された前記第2センスアンプに第1電源を供給するための前記第1導電型のMISFET対からなる第2スイッチとを有する半導体装置において、

前記第1ノードと前記第2ノードは電氣的に分離されて、

前記第1ライトコマンドよりも後に入力される第2ライトコマンドに応じて、

前記第1ライトアドレスに対応した第1ワード線が選択され、前記第1ライトデータが前記第1センスアンプに転送されることを特徴とする半導体装置。

【請求項 13】

請求項 12 において、

前記複数のメモリセルは各々MISFETと容量とを具備し、

前記第2ライトコマンドに対応して入力される第2ライトアドレスが前記第1アドレスラッチに転送され、

前記第2ライトコマンドに対応して入力される第2ライトデータが前記第1ライトデータラッチに送られることを特徴とする半導体装置。

【請求項 14】

請求項 12 の半導体装置は、

前記第1選択線でゲートが制御され、前記第1データ線対の一方のデータ線と第1データ入出力線対の一方のデータ入出力線との間にソース・ドレイン経路を有する第5MISFETと、前記第1データ線対の他方のデータ線と前記第1データ入出力線対の他方のデータ入出力線との間にソース・ドレイン経路を有する第6MISFETと、

前記第1データ線対に接続された第1出力アンプとを更に有し、

上記第1出力アンプは、第3制御線で制御され、前記第5MISFETのソース・ドレイン経路とソース・ドレイン経路が接続された第7MISFETと、前記第6MISFETのソース・ドレイン経路とソース・ドレイン経路が接続された第8MISFETと、前記第1データ線対の一方のデータ線とゲートが接続され、前記第6MISFETのドレインと前記第8MISFETのソースの接続点にドレインが接続された第9MISFETと、前記第1データ線対の他方のデータ線とゲートが接続され、前記第5MISFETのドレインと前記第7MISFETのソースの接続点にドレインが接続された第10MISFETとを有することを特徴とする半導体装置。

【請求項 15】

請求項 14 の半導体装置は、

前記第 2 選択線でゲートが制御され、前記第 2 データ線対の一方のデータ線と前記第 1 データ入出力線対の一方のデータ入出力線との間にソース・ドレイン経路を有する第 11 MISFET と、前記第 2 データ線対の他方のデータ線と前記第 1 データ入出力線対の他方のデータ入出力線との間にソース・ドレイン経路を有する第 12 MISFET と、

前記第 2 データ線対に接続された第 2 出力アンプと、

第 4 制御線によって制御され、第 5 ノードに接続された前記第 1 出力アンプに第 3 電源を供給するための第 5 スイッチと、

前記第 4 制御線によって制御され、第 6 ノードに接続された前記第 2 出力アンプに前記第 3 電源を供給するための第 6 スイッチとを更に有し、

上記第 2 出力アンプは、前記第 3 制御線で制御され、前記第 11 MISFET のソース・ドレイン経路とソース・ドレイン経路が接続された第 13 MISFET と、前記第 12 MISFET のソース・ドレイン経路とソース・ドレイン経路が接続された第 14 MISFET と、前記第 2 データ線対の一方のデータ線とゲートが接続され、前記第 12 MISFET のドレインと前記第 14 MISFET のソースの接続点にドレインが接続された第 15 MISFET と、前記第 2 データ線対の他方のデータ線とゲートが接続され、前記第 11 MISFET のドレインと前記第 13 MISFET のソースの接続点にドレインが接続された第 16 MISFET とを有し、前記第 5 ノードと前記第 6 ノードが電氣的に分離されていることを特徴とする半導体装置。

【請求項 16】

請求項 12 において、

前記第 1 ワード線が選択されると、前記第 1 及び第 2 データ線対にメモリセルが接続されることを特徴とする半導体装置。

【請求項 17】

第 1 ライトコマンドに対応して入力される第 1 ライトアドレスを保持するための第 1 アドレスラッチと、

前記第 1 ライトコマンドに対応して入力される第 1 ライトデータを保持するための第 1 ライトデータラッチと、

前記第 1 ライトコマンドの後に入力された第 2 ライトコマンドに対応して入力される第 2 ライトアドレスを保持するための第 2 アドレスラッチと、

前記第 2 ライトコマンドに対応して入力される第 2 ライトデータを保持するための第 2 ライトデータラッチと、

第 1 サブメモリアレーを含むメモリアレーを有し、

前記第 1 サブメモリアレーは、第 1 方向に延在する複数のワード線と、

第 2 方向に延在する複数のデータ線対と、

複数のメモリセルと、

前記複数データ線対のうち、前記第 1 ライトアドレスに対応した第 1 選択線で選択される第 1 データ線対と、

第 2 選択線で選択される第 2 データ線対と、

前記第 1 データ線対に設けられた第 1 導電型の MISFET 対からなる第 1 センスアンプと、

前記第 1 センスアンプに隣接して配置され、前記第 2 データ線対に設けられた前記第 1 導電型の MISFET 対からなる第 2 センスアンプと、

第 1 制御線によって制御され、前記第 1 センスアンプの第 1 ノードに接続された前記第 1 センスアンプに第 1 電源を供給するための前記第 1 導電型の MISFET からなる第 1 スイッチと、

第 1 制御線によって制御され、前記第 2 センスアンプの第 2 ノードに接続された前記第 2 センスアンプに第 1 電源を供給するための前記第 1 導電型の MISFET からなる第 2 スイッチとを有する半導体装置において、

前記第 1 ノードと前記第 2 ノードは電氣的に分離され、

前記第2ライトコマンドよりも後に入力される第3ライトコマンドに応じて、前記第1ライトアドレスに対応した第1ワード線が選択され、前記第1ライトデータが前記第1センスアンプに転送されることを特徴とする半導体装置。

【請求項18】

請求項17において、

前記第3ライトコマンドに応じて、

前記第2ライトアドレスが前記第1アドレスラッチに転送され、前記第2ライトデータが前記第1ライトデータラッチに転送され、前記第3ライトコマンドに対応して入力される第3ライトアドレスが前記第2アドレスラッチに転送され、前記第3ライトコマンドに対応して入力される第3ライトアドレスが前記第2ライトデータラッチに送られることを特徴とする半導体装置。

【請求項19】

請求項17の半導体装置は、

前記第1選択線でゲートが制御され、前記第1データ線対の一方のデータ線と第1データ入出力線対の一方のデータ入出力線との間にソース・ドレイン経路を有する第5MISFETと、前記第1データ線対の他方のデータ線と前記第1データ入出力線対の他方のデータ入出力線との間にソース・ドレイン経路を有する第6MISFETと、

前記第1データ線対に接続された第1出力アンプとを更に有し、

上記第1出力アンプは、第3制御線で制御され、前記第5MISFETのソース・ドレイン経路とソース・ドレイン経路が接続された第7MISFETと、前記第6MISFETのソース・ドレイン経路とソース・ドレイン経路が接続された第8MISFETと、前記第1データ線対の一方のデータ線とゲートが接続され、前記第6MISFETのドレインと前記第8MISFETのソースの接続点にドレインが接続された第9MISFETと、前記第1データ線対の他方のデータ線とゲートが接続され、前記第5MISFETのドレインと前記第7MISFETのソースの接続点にドレインが接続された第10MISFETとを有することを特徴とする半導体装置。

【請求項20】

請求項19の半導体装置は、

前記第2選択線でゲートが制御され、前記第2データ線対の一方のデータ線と前記第1データ入出力線対の一方のデータ入出力線との間にソース・ドレイン経路を有する第11MISFETと、前記第2データ線対の他方のデータ線と前記第1データ入出力線対の他方のデータ入出力線との間にソース・ドレイン経路を有する第12MISFETと、

前記第2データ線対に接続された第2出力アンプと、

第4制御線によって制御され、第5ノードに接続された前記第1出力アンプに第3電源を供給するための第5スイッチと、

前記第4制御線によって制御され、第6ノードに接続された前記第2出力アンプに前記第3電源を供給するための第6スイッチとを更に有し、

上記第2出力アンプは、前記第3制御線で制御され、前記第11MISFETのソース・ドレイン経路とソース・ドレイン経路が接続された第13MISFETと、前記第12MISFETのソース・ドレイン経路とソース・ドレイン経路が接続された第14MISFETと、前記第2データ線対の一方のデータ線とゲートが接続され、前記第12MISFETのドレインと前記第14MISFETのソースの接続点にドレインが接続された第15MISFETと、前記第2データ線対の他方のデータ線とゲートが接続され、前記第11MISFETのドレインと前記第13MISFETのソースの接続点にドレインが接続された第16MISFETとを有し、前記第5ノードと前記第6ノードが電氣的に分離されていることを特徴とする半導体装置。

【請求項21】

請求項17において、

前記第1ワード線が選択されると、前記第1及び第2データ線対にメモリセルが接続されることを特徴とする半導体装置。

【請求項 22】

アドレスを保持する回路と、
データを保持する回路と、
メモリアレーとを有し、
前記メモリアレーは、第1方向に延在する複数のワード線と、
第2方向に延在する複数のデータ線対と、
複数のメモリセルと、
前記複数のデータ線対のうちの第1データ線対に接続された第1導電型のMISFET対を有する第1センスアンプと、
前記複数のデータ線対のうちの第2データ線対に設けられた前記第1導電型のMISFET対を有する第2センスアンプと、
第1制御線によって制御され、前記第1センスアンプの第1ノードに接続された前記第1センスアンプに第1電源を供給するための前記第1導電型のMISFETを有する第1スイッチと、
前記第1制御線によって制御され、前記第2センスアンプの第2ノードに接続された前記第2センスアンプに第1電源を供給するための前記第1導電型のMISFETを有する第2スイッチとを有し、
前記第1と第2センスアンプは隣接して配置され、
第1ライトコマンドに対応して第1アドレスは入力され、前記第1ライトコマンドによって前記アドレスを保持する回路に保持されている第2アドレスに対応するワード線が活性化され、前記データを保持する回路に保持されているデータが第2アドレスに対応する前記第1データ線対に転送され、
前記第1ノードと前記第2ノードは電氣的に分離されていることを特徴とする半導体装置。

【請求項 23】

請求項 22 の半導体装置は、前記第1データ線対に接続された第2導電型のMISFET対を有する第3センスアンプと、
前記第2データ線対に接続された前記第2導電型のMISFET対を有する第4センスアンプと、
第2制御線によって制御され、前記第3センスアンプの第3ノードに接続された前記第3センスアンプに第2電源を供給するための第3スイッチと、
前記第2制御線によって制御され、前記第4センスアンプの第4ノードに接続された前記第4センスアンプに前記第2電源を供給するための第4スイッチとを有し、
前記第1ライトコマンドに対応して第1アドレスに対応するメモリセルに書き込む第1データが入力され、
前記第3ノードと前記第4ノードは電氣的に分離されていることを特徴とする半導体装置。

【請求項 24】

複数のワード線と、
複数のデータ線対と、
複数のダイナミック型メモリセルと、
前記複数データ線対のうち、第1選択線によって第1データ入出力線対に接続される第1データ線対と、第2選択線によって前記第1データ入出力線対に接続される第2データ線対と、
前記第1データ線対と接続された第1センスアンプと、
前記第2データ線対と接続された第2センスアンプと、
第1制御線によって制御され、前記第1センスアンプの第1ノードに接続された前記第1センスアンプに第1電源を供給するための第1MISFETからなる第1スイッチと、
前記第1制御線によって制御され、前記第2センスアンプの第2ノードに接続された前記第2センスアンプに前記第1電源を供給するための第2MISFETからなる第2スイ

ッチとを有し、

第1データ線対は相補な第1と第2データ線を具備し、前記第1と第2データ線には各々メモリセルが接続され、

第2データ線対は相補な第3と第4データ線を具備し、前記第3と第4データ線には各々メモリセルが接続され、

前記第1ノードと前記第2ノードは電氣的に分離されていることを特徴とする半導体装置。

【請求項25】

請求項24において、

前記第1データ線に接続されたメモリセルは、複数のワード線のうち第1ワード線にゲートが接続され、前記第1データ線にソース・ドレイン経路が接続された第3MISFETと、前記第3MISFETに接続された容量を有し、

前記第2データ線に接続されたメモリセルは、前記第1ワード線にゲートが接続され、前記第2データ線にソース・ドレイン経路が接続された第4MISFETと、前記第4MISFETに接続された容量を有することを特徴とする半導体装置。

【請求項26】

請求項25において、

前記第1選択線により複数の第1データ線対が選択され、

前記第2選択線により複数の第2データ線対が選択され、

前記複数の第1データ線対に接続された複数の第1センスアンプは、第1スイッチを共有し、

前記複数の第2データ線対に接続された複数の第2センスアンプは、第2スイッチを共有することを特徴とする半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

この発明は、半導体装置に関し、特にその装置の差動増幅回路構成と、データ書き込み方式に関する。

【背景技術】

【0002】

DRAM (Dynamic Random Access Memory) で高速サイクルを実現するには、ライトサイクルの高速化が課題である。破壊読出しである DRAM は、ライト動作においても、同一ワード線のライト選択セルに対しては、再書き込み動作を行なうことが必要である。通常、ライト動作は、一旦メモリセルのデータをセンスアンプに読み出し、ある程度増幅し再書き込み動作を行なった後、入出力線から新しいデータをセンスアンプに書きこむ。そのため、反転する書きこみの場合には、一旦ある程度まで増幅したデータを反転して増幅することが必要となるので、書き込み時間が増大する問題がある。これを高速化する手法として、International Solid-State Circuits Conference 2000 WP24-1 (非特許文献1) で開示されているセンス前書き込み方式 (Write before Sense) がある。本方式では、メモリセルからデータを読み出す際に、選択センスアンプに新しいデータを書きこむ。増幅する前に書き込むため、書きこみ動作の高速化が実現できる。

【非特許文献1】 International Solid-State Circuits Conference、2000年、WP24-1

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、本動作を図20に示されるような、クロスカップルCCのNMOS、PMOSのソースノードがそれぞれコモンソース線NCS、PCSに接続されている従来のセンスアンプ回路構成で行なうと、次に述べるようなライト選択センスアンプが非選択センスアンプを駆動してしまう問題がある。図21にセンス前書き込みを図20のような従来方式のセンスアンプで行なった場合の動作波形図を示す。ワード線WLとY選択線YS23が選択され、増幅動作前にデータ線対DL2t/b及びDL3t/bに新しいデータが書き込まれると、ライト選択データ線対DL2t/b、DL3t/bの振幅は、低レベル側がグラウンドレベルVSS、高レベル側が高電圧レベルVDLから入出力回路のしきい値Vthn分低下した電圧レベルVDL-Vthまで遷移する。このようにデータ線対が入出力線を駆動するライトバッファで駆動されることにより、クロスカップルトランジスタを介して、クロスカップルCCのソース線PCSを高電圧レベルVDLから入出力ゲートのしきい値Vthn分低下した電圧レベルVDL-Vthに駆動し、NMOSコモンソース線NCSをVSSに駆動する。一方、非選択センスアンプでは、メモリセルのデータを読み出している時であり、正確な増幅動作に耐えうる信号用が読み出されていない。このため、この段階でコモンソース線が駆動されてしまうと、センスアンプが活性化し、プリセンス動作となり、誤データを増幅してしまう恐れが生じる。

【0004】

また、2つのセルを用いて1つのビットの相補データを記憶する2セル/ビットのアレーでは、電源投入時に、2つのセルに同一のデータが書き込まれている可能性がある。このようなセルをデータ線対に読み出した場合、クロスカップルに入力される信号が0Vとなるため、不定状態となって、貫通電流が流れる。最悪の場合、1つのワード線上の全てのデータ線対がこの貫通電流を流すと、電源電圧が低下し、不安定な動作となる。特に、初期化段階では貫通電流によって、電源電圧が低下して、コモンソース間電圧が低下して、メモリセルの初期化ができなくなる。さらに、周辺回路の電源変動も引き起こすことにより、誤動作を引き起こす可能性がある。

【0005】

本発明は、以上に示した高速ライト動作時における、ライト選択センスアンプの動作による非選択センスアンプへの干渉の影響を取り除き、高速ライトと安定した読み出し、センス、再書き込み動作を両立する実現するセンスアンプ構成を提供することと、2セル/ビットアレーにおける不安定動作を除去することを目的とする。

【課題を解決するための手段】

【0006】

センスアンプを活性化する前にセンスアンプにライトデータを書きこむDRAMにおいて、センスアンプのソースノードをライト時同時に選択されるセンスアンプだけで共有する。ダイレクトセンスを有するセンスアンプにおいて、ダイレクトセンスのソースノードをライト時同時に選択されるセンスアンプだけで共有する。

【発明の効果】

【0007】

本発明により、ライト動作を高速化するために、センス前書き込みを行なった場合に生じる非選択センスアンプでのプリセンス動作を防止する。また、2セル/ビットアレーにおける初期化時のセンスアンプ貫通電流による不完全初期化を防止できる。

【発明を実施するための最良の形態】

【0008】

以下、本発明の実施例について図面を用いて詳細に説明する。実施例の各ブロックを構成する回路素子は、公知のCMOS（相補型MOSトランジスタ）等の集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。MOSFET（Metal Oxide Semiconductor Field Effect Transistor）の回路記号は矢印をつけないものはN形MOSFET（NMOS）を表し、矢印をついたものはP形MOSFET（PMOS）と区別される。以下MOSFETを呼ぶために簡略化してMOSと呼ぶことにする。また、本願発明は、メモリアレーの構成として、開放型データ線構成でも折り返し型データ線構成でも同様の効果があり、データ線構成に限定されるものではない。以下、本発明を折り返し型データ線構成において説明する。また、1つのメモリセルが主に1トランジスタ1キャパシタからなる1T1C型のメモリセルを中心に説明しているが、これに限定されるものではなく、3トランジスタ型メモリセル等にも適用できる。

【0009】

本発明の第1の実施例について図1を用いて説明する。図1には、本発明を適用したDRAMメモリアレーARYとその周辺の回路ブロックであるセンスアンプブロックSABの一部を示している。センスアンプSABにおいて、データ線対DL0t/b、DL1t/b...DLnt/bには、それぞれ正帰還アンプ回路であるクロスカップル回路CCと、入出力回路IOG、プリチャージ回路PCが接続される。クロスカップルCCは、メモリセルからデータ線対DL0t/b、DL1t/b...DLnt/bに読み出された微小信号を元に、正帰還によってを所望の電圧レベルまで増幅する回路で、ソースを共通にし、互いのゲートとドレインが接続された1対のNMOSと、同様にソースを共通にし、互いのゲートとドレインが接続された1対のPMOSからなる。クロスカップルCCのNMOSコモンソースNS0, NS1, ...は、それぞれのクロスカップルCC毎に分離されている。同様に、クロスカップルCCのPMOSコモンソースPS0, PS1...は、それぞれのクロスカップルCC毎に分離されている。このとき、それぞれのソースノードNS0, NS1, ...PS0, PS1...には、センスアンプを活性化するNMOSセンスドライバSND、PMOSセンスドライバSPDが接続される。NMOSセンスドライバSNDは、センスアンプ活性化信号 ϕ_n によりソースノードNS0, NS1, ...を電圧レベルVSSに駆動する。また、PMOSセンスドライバSPDは、センスアンプ活性化信号 ϕ_p によりソースノードPS0, PS1, ...をデータ線振幅電圧であるアレー電圧VDLに駆動する。図では、PMOSで構成されているが、NMOSで構成してもかまわない。その際には、活性化信号 ϕ_p の論理が反転する。入出力回路IOGは、データ線対DLnt/b（n

= 0, 1, 2...) と入出力線対 $I O t / b$ とを接続するためのスイッチで、Y 選択線 (コラム選択線) $Y S 0$ 、 $Y S 1 \cdots Y S n$ により制御される。Y 選択線はデータ線を選択するデコーダより出力される。データ線プリチャージ回路 $P C$ は、プリチャージ制御信号 $\phi P C$ により、メモリアレーがスタンバイ時にデータ線対を所望の電圧レベル、ここでは、データ線振幅電圧の $1/2$ の電圧であるデータ線プリチャージ電圧 $V D L R$ に設定するための回路で、データ線対間を短絡するスイッチと、データ線を電圧 $V D L R$ に接続するためのスイッチからなる。

【0010】

本センスアンプブロックを適用するメモリアレー部 $A R Y$ のメモリセルのレイアウト例を図 13 に示す。図に示される F は最小加工寸法であり、ワード線ピッチの $1/2$ で定義される。ストレージノードコンタクト $S N C T$ はメモリセルトランジスタの拡散層 L とストレージノードキャパシタを接続するためのコンタクトホールで、データ線コンタクト $D L C T$ はメモリセルトランジスタの拡散層 L とデータ線 $D L$ を接続するためのコンタクトホールである。(a) はフォールデッドアレーでデータ線、ワード線共に最小加工寸法 F の 2 倍のピッチで配線され、データ線側から見るとワード線 2 本ごとにメモリセルが接続されている。(b) はクォーターピッチアレーでデータ線に対して拡散層が斜めになっているのが特徴である。本構成でもデータ線、ワード線の配線ピッチは最小加工寸法 F の 2 倍のピッチである。(c) はオープンデータ線構成アレーである。本レイアウトでは、データ線ピッチは最小加工寸法 F の約 3 倍のピッチである。ワード線ピッチは最小加工寸法 F の 2 倍である。データ線とワード線の全ての交点にメモリセルが配置されているのが特徴である。(a)、(b) のレイアウトでは、メモリセル面積の最小値が $8 F^2$ となるが、(c) のレイアウトでは、約 $6 F^2$ とメモリセル面積を小さくできる利点がある。

【0011】

図 14 (a) には、本発明の特徴であるクロスカップル $C C$ の $N M O S$ 部分を例にレイアウト図を示している。データ線対は、上下の 2 つのこの字ゲート $G 1$ 及び $G 2$ 上をメタル 1 層で配線され、3 方をゲートで囲まれているドレイン側 $D 1$ 及び $D 0$ と他方のドレインを囲んでいるゲート $G 0$ 及び $G 1$ に接続されている。隣接するクロスカップルソースノードとは、片側は、センスアンプドライバ、他方は、拡散層により分離されている。クロスカップル $C C$ の $N M O S$ ソースノードとセンスアンプドライバ $S N D$ のドレインが拡散層で接続されている。クロスカップル $C C$ のソースノード $N S 0$ は片側が拡散層間の溝に絶縁体を埋め込むことで形成される $S G I$ (shallow groove isolation) で分離され、反対側がセンスドライバ $S N D$ によって、隣接するクロスカップル $C C$ と分離されている。センスアンプドライバ $S N D$ はデータ線対 $D L 0 t / b$ と $D L 1 t / b$ の外側に 2 つに分けられて配置されている。データ線対 $D L 0 t / b$ 用のセンスアンプドライバ $S N D$ のソース側は、隣接するデータ線対 $D L 1 t / b$ 用のセンスアンプドライバ $S N D$ のソースと拡散層を共有している。

【0012】

図 2 を用いて本回路構成におけるライト動作について説明する。ライト選択の記憶ノード $S N 1$ には、はじめ 'H' が書きこまれていて、ライト動作により 'L' を書くものとする。ライトコマンドと同時にアドレスがメモリアレーに送られる。転送されたアドレスにしたがって、特定のセンスアンプブロック $S A B$ のプリチャージ信号 $\phi P C$ が高電圧レベルである周辺回路電圧 $V C L$ 或いはワード線用昇圧電圧 $V P P$ から非活性化電圧 $V S S$ に遷移する。その後、転送されたアドレスに対応したワード線 $W L$ が選択レベルである昇圧電源レベル $V P P$ に遷移する。ワード線と同時に或いは、前後して転送されたアドレスに対応した Y 選択線 $Y S 1$ が選択レベルである周辺回路電圧 $V C L$ に遷移する。これによって、データ線 $D L 1 t / b$ が入出力線 $I O t / b$ と接続される。この時、入出力線 $I O t / b$ を駆動しているライトバッファによって、メモリセルへのライトデータがデータ線対 $D L 1 t / b$ まで伝送される。このとき、データ線対には、記憶ノード $S N 1$ に書き込まれているデータとは無関係のデータが書き込まれる。ここでは、データ線 $D L 1 t$ に 'L' データが書き込まれ、記憶ノード $S N 1$ にも 'L' が書き込まれるとすると、入出力線

I O t / b からデータ線 D L 1 t には、低電圧レベル V S S が、データ線 D L 1 b には、高電圧レベル V D L から入出力回路 I O G の N M O S トランジスタのしきい値電圧 V_{thn} 分だけ振幅が制限された電圧 $V_{DL} - V_{thn}$ が書き込まれる。データ線対がアレー電圧 V D L からしきい値電圧 V_{th} 分小さい振幅となると、N M O S ソースノード N S 0 1 と P M O S ソースノード P S 0 1 間の電圧もアレー電圧 V D L からしきい値電圧 V_{th} 分小さい振幅となる。本構成では、クロスカップル C C のソースノードがクロスカップル毎に分離されているので、隣接する Y 選択線に選択されていないクロスカップル C C のソースノード間電圧は、プリチャージ時の振幅を保っており、プリセンス動作を起さない。これにより、ライト非選択センスアンプでの正確な読み出し動作を行なうことができる。選択セル S N 0 に 'L' のデータが書き込まれ、ライト非選択データ線のメモリセル S N 0, S N 2, ... には読み出したデータが再書き込みされると、ワード線が非選択レベル V S S に設定される。その後、プリチャージ制御信号 ϕ_{PC} が高電圧レベル V C L 或いは昇圧レベル V P P に設定され、データ線対がプリチャージされる。ここで、N M O S ソースノード N S 0, N S 1, ... のレベルは、データ線プリチャージレベルからクロスカップル C C の N M O S のしきい値電圧分低下したレベルまで上昇する。同様に、P M O S ソースノード P S 0, P S 1, ... は、データ線プリチャージレベル V D L R からクロスカップルの P M O S のしきい値電圧分高い電圧に落ちつく。

【0013】

本構成の利点について述べる。(1) メモリセルのデータを読み出すのと同時に書き込みデータを書き込むことにより、高速な書き込み動作が可能となる。(2) ライト時の隣接クロスカップル回路でのプリセンス動作を防止でき、安定した読み出し動作を実現できる。本実施例では、1つの Y 選択線に対して、1つのセンスアンプが選択される場合について説明したが、1つの Y 選択線によって選ばれるセンスアンプ数については制限はなく、1つの Y 選択線で複数のセンスアンプが選択される場合に、本実施例のように、1つ1つのクロスカップル C C 毎にソースノードを独立にしても同様の効果が得られる。

【0014】

また、N M O S、P M O S のソースノード N S 0, N S 1, ... 及び P S 0, P S 1, ... の間にデータ線のプリチャージ回路 P C と同様の回路を付加する構成にしてもよい。この場合、プリチャージ期間にソースノードをデータ線プリチャージレベル V D L R にプリチャージできるので、プリチャージ期間のソースノードの変動が抑えられるので安定した動作を実現できる。また、N M O S、P M O S のソースノード間をショートするスイッチだけでも P M O S ソースノードと N M O S ソースノードを同じレベルに設定することが出来るため安定した動作を実現できる。

【0015】

次に、第1の実施例の変形例を、図3に示す。本構成は、1つの Y 選択線に対して2つのセンスアンプが選択され、両センスアンプに同時に入出力線 I O 0 t / b 及び I O 1 t / b からデータが書きこまれる構成である。本構成の特徴は、例えば、1つの Y 選択線 Y S 2 3 に対して2つのデータ線対 D L 2 t / b、D L 3 t / b が選択され、その2つのデータ線対が接続されているクロスカップル C C のソースノードが、共通に N M O S ソースノード N S 2 3、P M O S ソースノード P S 2 3 に接続され、隣接するクロスカップル C C のソースノード N S 0 1 及び P S 0 1 とそれぞれ分離されている点である。

【0016】

図14 (b) には、本発明の特徴であるクロスカップル C C の片方の導電型とそのセンスアンプドライバ部分のレイアウト例を示している。全体を N M O S とするとクロスカップル C C の N M O S ソースノードとセンスアンプドライバ S N D のドレインが拡散層で接続されている。センスアンプドライバ S N D のソース側は、隣接するセンスアンプドライバ S N D のソースと拡散層を共有している。隣接する2つのクロスカップルでソースノードを共有し、その両側のクロスカップルとはセンスアンプドライバ S N D により分離されている。このソースを共有しているクロスカップルに接続しているデータ線は、共通の Y 選択線によって選択されるように構成する。データ線とゲート・ドレインの接続方法は、

前述の実施例 1 と同様である。

【0017】

本構成の動作については、1つのY選択線で同時に2つのデータ線対に書き込まれ、その2つのデータ線対に接続されたクロスカップルのソースノードが共通に遷移すること以外は、前述の第1の実施例と同様である。

【0018】

本構成の利点について述べる。前述の第1の実施例の利点に加えて、(3) Y選択線の本数が実施例 1 に比べて半分になるため、Y選択線を配線する層の配線レイアウトが容易になる利点がある。

【0019】

さらに、本発明を発展させて、1つのY選択線により複数のセンスアンプを選択する構成にも適用できる。例えば、1つのY選択線によって8つのセンスアンプが選択される場合において、同時に選択される8つのセンスアンプクロスカップルCCのソースノードを8つで共通或いは、全て独立、或いは2つ毎で独立、或いは4つ毎に独立にしても同様の効果が得られる。

【0020】

また、前述の実施例 1 同様に、対となるソースノード間にプリチャージ回路或いは、イコライズ回路を付加することもできる。この場合の利点は、実施例 1 と同様である。

【0021】

次に、本発明第2の実施例について図4を用いて説明する。図4は、センスアンプブロックSAB部分の一部分を示した図である。本構成では、前述の第1の実施例のセンスアンプ回路に対して、読み出し動作を高速化するダイレクトセンスアンプを入出力部に適用した構成である。第1の実施例の変形例である図3と同様に、例えば、1つのY選択線YS01に対して2つのデータ線対DL0t/b、DL1t/bが選択され、その2つのデータ線対が接続されているクロスカップルCCのソースノードが、共通にNMOSソースノードNS01、PMOSソースノードPS01に接続され、隣接するクロスカップルCCのソースノードNS23及びPS23とそれぞれ分離されている。本構成で付加しているダイレクトセンスアンプDSAは、ゲートにデータ線対が入力され、ソースが共通に共通ソースノードに接続され、ドレインがそれぞれ、入出力ノードとなっている。ダイレクトセンスアンプDSAは、リード動作のときに、ダイレクトセンスアンプ活性化信号DSEにより制御されるダイレクトセンスドライバDSDによりソースノードを低電圧レベルVSSに駆動することにより、入出力ノードにデータを出力する。また、入出力ノードには、アレーライトイネーブル信号RWEで制御されるスイッチが接続され、ライト時には、入出力回路IOGとこのスイッチを介してデータ線対にデータが書き込まれる。データ線をゲートで受けているため、読み出し時には、データ線対に十分な信号量が読み出される前にY選択線を活性化することができるのでアクセス時間の高速化が実現できる利点がある。本構成の特徴は、クロスカップルCCのソースノードNS01、PS01と同様に、共通のY選択線YS01で選択されるダイレクトセンスアンプDSAのソースノードが共通のダイレクトセンスソースノードDSAS01に接続され、隣接するダイレクトセンスアンプソースノードDSAS23とは分離されている点である。その他の回路構成は、第1の実施例と同様である。

【0022】

図5を用いて本回路構成におけるライト動作について説明する。記憶ノードSN2には、はじめ' H 'が書きこまれているとする。ライトコマンドと同時にアドレスがメモリアレー部に転送される。転送されたアドレスにしたがって、特定のセンスアンプブロックのプリチャージ信号φPCが高電圧レベルである周辺回路電圧VCL或いはワード線用昇圧電圧VPPから非活性化電圧VSSに遷移する。その後、転送されたアドレスに対応したワード線WLが選択レベルである昇圧電源レベルVPPに遷移する。ワード線と同時或いは、前後して転送されたアドレスに対応したY選択線YS23が選択レベルである周辺回路電圧VCLに遷移する。アレーライトイネーブル信号RWEは、ライト時以外、ワード

線選択前に低電圧レベル V_{SS} に遷移する。ライト時は、選択降電圧レベル V_{CL} を維持する。これによって、データ線 $DL2t/b$ 及び $DL3t/b$ がデータ入出力線 $IO0t/b$ 及び $IO1t/b$ と接続される。この時、入出力線 $IO0t/b$ 及び $IO1t/b$ を駆動しているライトバッファによって、ライトデータがデータ線対に伝送される。これにより、データ線対 $DL2t/b$ 及び、 $DL3t/b$ には、それぞれ記憶ノード $SN2$ 、 $SN3$ に書き込まれているデータとは無関係のデータが、 IO ゲート IOG の $NMOS$ トランジスタのしきい値電圧 V_{thn} 分振幅が制限された電圧振幅で書き込まれる。データ線対がアレー電圧 V_{DL} からしきい値電圧 V_{th} 分小さい振幅となると、 $NMOS$ ソースノード $NS23$ と $PMOS$ ソースノード $PS23$ 間の電圧もアレー電圧 V_{DL} からしきい値電圧 V_{th} 分小さい振幅となる。本構成では、クロスカップル CC のソースノードが Y 選択線毎に分離されているので、隣接する別の Y 選択線 $YS01$ で選択されるデータ線 $DL0t/b$ 及び $DL1t/b$ のクロスカップル CC のソースノード間電圧 ($PS01-NS01$) は、プリチャージ時の振幅を保っており、プリセンス動作を起さない。本構成のダイレクトセンスアンプ DSA はアレーライトイネーブル信号 RWE が高電圧レベル V_{CL} の時、データ線 $DL2t/b$ 、 $DL3t/b$ …と IO 出力側データ線 $DIO2t/b$ 、 $DIO3t/b$ …が接続されるため、 $NMOS$ で構成されるクロスカップル型となる。このため、ダイレクトセンスアンプ DSA のソースノードが駆動されると、出力側データ線 $DIO2t/b$ 、 $DIO3t/b$ …を介してデータ線 $DL2t/b$ 、 $DL3t/b$ …を増幅する。本構成では、 Y 選択線毎にダイレクトセンスアンプ DSA のソースノードが分離されているので、ライト選択ダイレクトセンスアンプのソースノード $DSAS23$ が低電圧レベル V_{SS} まで駆動されても、隣接する別の Y 選択線 $YS01$ で選択されるダイレクトセンス DSA のソースノード $DSAS01$ は駆動されないため、ダイレクトセンスアンプ DSA によるデータ線のプリセンス動作を起さない。これにより、ライト非選択センスアンプでは、正確な読み出し動作を行なうことができる。プリチャージ動作は、前述の第1の実施例と同様である。

【0023】

本構成の利点について述べる。前述の第1実施例の変形例の利点に加えて、(4)ダイレクトセンスアンプによりデータ線対に微小信号が現われた段階で、リードデータを入出力線に出力でき、アクセス時間を短縮できる。(5)リード時もワード線と同時に Y 選択線を活性化できるため、ライト時とリード時で Y 選択線のタイミングを変える必要がなく、制御回路が簡易化できる。また、第1の実施例のように、1つのダイレクトセンスアンプについて1つの Y 選択線を割り当てる構成も可能である。その場合には、 Y 選択線の本数が増加するが、 Y 選択線1本あたりに接続されるトランジスタ数が半減するため、 Y 選択線の付加が低減できる利点がある。

【0024】

また、前述の実施例1同様に、対となる $NMOS$ と $PMOS$ のソースノード間にプリチャージ回路或いは、イコライズ回路を付加することもできる。この場合の利点は、実施例1と同様である。

【0025】

次に第2の実施例の変形例を図6に示す。図6はセンスアンプブロック SAB の一部分を示している。本構成は、第2の実施例のダイレクトセンスアンプ DSA をデータ線2対で共有し、それぞれのデータ線対にダイレクトセンスアンプ DSA を選択するための選択線 $S0$ 、 $S1$ が付加されている構成である。その他の構成は、実施例2と同様である。

【0026】

また、動作については、ダイレクトセンスアンプ DSA 選択スイッチの動作が付加される。選択信号 $S0$ 、 $S1$ はスタンバイ時には、高電圧レベル V_{CL} に設定され、アクティブ時、非選択側だけが、低電圧レベル V_{SS} に遷移する。その他の動作は、前述の実施例2と同様である。

【0027】

本構成の利点は、ダイレクトセンスアンプを2対のデータ線対で共有することで、セン

スアンプブロック S A B のレイアウト面積を削減できる。逆に、同じ面積で、ダイレクトセンスアンプのゲート幅を大きくすることができ、入出力線への出力信号を大きくすることができる利点がある。また、Y 選択線の本数をデータ線対 4 対で 1 本になり配線が容易になる。また、第 1 の実施例のように、1 つのダイレクトセンスアンプについて 1 つの Y 選択線を割り当てる構成も可能である。その場合には、Y 選択線の本数が増加するが、Y 選択線 1 本あたりに接続されるトランジスタ数が半減するため、Y 選択線の負荷が低減できる利点がある。

【0028】

また、前述の実施例 1 同様に、対となるソースノード間にプリチャージ回路或いは、イコライズ回路を付加することもできる。この場合の利点は、実施例 1 と同様である。

【0029】

次に、本発明第 3 の実施例について図 7 を用いて説明する。図 7 はセンスアンプブロックとメモリアレー部分の一部を示している。本実施例は、本発明を 2 つのセルで 1 ビット記憶するツインセルアレーに適用した場合である。本構成のアレー部分の特徴は、物理的或いは、論理的に 1 本のワード線 W L 0 を選択するとデータ線対 D L 0 t / b , D L 1 t / b … 全てのデータ線にメモリセルが接続され、それぞれのデータ線にデータが読み出されることである。センスアンプブロック S A B の回路構成は、第 1 の実施例の変形図 3 と同様である。

【0030】

本構成での、ライト動作を図 8 を用いて説明する。記憶ノード S N 2 t / b には、それぞれ ' H ' / ' L ' が書きこまれているとする。ライトコマンドと同時にアドレスがメモリアレー部に送られる。転送されたアドレスにしたがって、特定のセンスアンプブロックのプリチャージ信号 ϕ P C が高電圧レベルである周辺回路電圧 V C L 或いはワード線昇圧電圧 V P P から非活性化電圧 V S S に遷移する。その後、転送されたアドレスに対応したアドレスのワード線 W L 0 が選択レベルである昇圧電源レベル V P P に遷移する。ワード線と同時或いは、前後して転送されたアドレスに対応した Y 選択線 Y S 2 3 が選択レベルである周辺回路電圧 V C L に遷移する。これによって、データ線 D L 2 t / b 及び D L 3 t / b がデータ入出力線 I O 0 t / b 及び I O 1 t / b と接続される。この時、I O 0 t / b 及び I O 1 t / b を駆動しているライトバッファによって、アレーに転送されたライトデータがセンスアンプに伝送される。これにより、データ線対には、記憶ノード S N 2 t / b 及び S N 3 t / b に書き込まれているデータとは無関係のデータがセンスアンプに書き込まれる。一方、ライト非選択のデータ線 D L 0 t / b , D L 1 t / b のそれぞれには、' H ' 或いは ' L ' のセルが接続されて、データ線のレベルがプリチャージレベル V D L R から読み出し信号量 V s i g 分高電位或いは、低電位側に遷移する。入出力線 I O 0 t / b 及び I O 1 t / b からデータ線対 D L 2 t / b 及び D L 3 t / b へは、I O ゲート I O G の N M O S トランジスタのしきい値電圧 V t h n 分振幅が制限された電圧振幅で書き込まれる。データ線対がアレー電圧 V D L からしきい値電圧 V t h 分小さい振幅となると、N M O S ソースノード N S 0 1 と P M O S ソースノード P S 2 3 間の電圧もアレー電圧 V D L からしきい値電圧 V t h 分小さい振幅となる。本構成では、クロスカップルのソースノードが Y 選択線毎に分離されているので、隣接する別の Y 選択線 Y S 0 1 で選択されるデータ線 D L 0 t / b 及び D L 1 t / b のクロスカップル C C のソースノード間電圧 (P S 0 1 - N S 0 1) は、プリチャージ時の振幅を保っており、プリセンス動作を起さない。本構成のダイレクトセンスアンプ D S A はアレーライトイネーブル信号 R W E が高電圧レベル V C L の時、データ線 D L 2 t / b , D L 3 t / b … と I O 出力側データ線 D I O 2 t / b , D I O 3 t / b … が接続されるため、N M O S で構成されるクロスカップル型となる。このため、ダイレクトセンスアンプ D S A のソースノードが駆動されると、出力側データ線 D I O 2 t / b , D I O 3 t / b … を介してデータ線対 D L 2 t / b , D L 3 t / b … を増幅してしまう。しかし、本構成では、Y 選択線毎にダイレクトセンスアンプのソースノードが分離されているので、ライト選択ダイレクトセンスアンプ D S A のソースノード D S A S 2 3 が低電圧レベル V S S まで駆動されても、隣接する別の Y

選択線 YS01 で選択されるダイレクトセンス DSA のソースノード DSAS01 は駆動されないため、ダイレクトセンスアンプ DSA によるデータ線のプリセンス動作を起さない。これにより、ライト非選択センスアンプでは、正確な読み出し動作を行なうことができる。また、パワーアップ時のような、メモリセルデータが不定状態の時に初期化あるいは、書き込み動作を行なった場合、従来方式では、ライト選択クロスカップルのソースノード間電圧が隣接するクロスカップルの貫通電流により、センスドライバ SND および SPD とクロスカップルの抵抗分割で決まる値になり、電源電圧よりも低下し、十分な書き込み振幅を得ることが出来ない。しかし、本発明のように、ライト選択センスアンプ毎にクロスカップルのソースノードを分離することで、選択センスアンプのクロスカップルでは、貫通電流が流れないため、選択センスアンプのソースノード電圧は、電源電圧近くまで上昇し、十分な書き込み電圧振幅を得ることができる。

【0031】

本構成の利点について述べる。(1) メモリセルのデータを読み出すのと同時に書き込みデータを書き込むことにより、高速な書き込み動作が可能となる。(2) ライト時の隣接クロスカップル回路でのプリセンス動作を防止でき、安定した読み出し動作を実現できる。(3) Y 選択線の本数が実施例 1 に比べて半分になるため、Y 選択線を配線する層の配線レイアウトが容易になる利点がある。(4) 2 セル/ビットアレーを用いることにより、同一電圧下では 1 セル/ビットに比べてクロスカップル CC に入力される信号量が 2 倍にできる。(5) クロスカップル CC の入力であるデータ線対に 'H' 及び 'L' の相補のデータが読み出されるため、クロスカップル CC の動作点がデータパターンによって変化せず、データパターンによる動作速度のばらつきが低減できる。(6) 2 セル/ビットのアレーにおけるメモリセル不定状態を原因としたクロスカップルでの貫通電流の影響を取り除いて、パワーアップ時のソースノード間電圧低下による書き込み電圧の低下を防止し、確実な初期化・書き込み動作を実現できる。第 1 の実施例のように、1 つのデータ線対に対して 1 つの Y 選択線を割り当てる構成も可能である。その場合には、Y 選択線の本数が増加するが、Y 選択線 1 本あたりに接続されるトランジスタ数が半減するため、Y 選択線の付加が低減できる利点がある。

【0032】

また、前述の実施例 1 同様に、対となるソースノード間にプリチャージ回路或いは、イコライズ回路を付加することもできる。この場合の利点は、実施例 1 と同様である。

【0033】

次に図 9 を用いて第 3 の実施例の変形例を説明する。図 9 は前述の 2 セル/ビットアレーに対して、データ線のプリチャージレベルをデータ線高電圧レベル VDL に設定したものである。本構成では、クロスカップル CC の NMOS ソースノードは、前述の実施例と同様に、Y 選択線毎に独立になっており、それぞれに NMOS センスアンプドライバ SND が接続されている。センスアンプドライバ SND はセンスアンプ活性化信号 ϕ_n によってソースノードを低電圧レベル VSS に駆動する。一方、クロスカップルの PMOS ソースノードは、全て共通にデータ線高電圧レベル VDL に接続されている。プリチャージ回路 PC1 は、プリチャージ信号 ϕ_{PCB} によりデータ線対をデータ線高電圧レベル VDL にプリチャージする回路で、3 つの PMOS から構成されている。入出力回路 IOG は、Y 選択線によって制御され、データ線対と入出力線を接続するための回路である。

【0034】

本構成のライト動作について図 10 を用いて説明する。コマンド入力からワード線 WL、及び Y 選択線 YS23 が選択されるまでは、プリチャージ信号の論理が逆転している以外、前述の実施例と同様である。センスアンプ活性化信号 ϕ_n が入力されるまでに、Y 選択線が選択レベルであるデータ線対 DL2t/b 及び DL3t/b はそれぞれ入出力線 IO0t/b、及び IO1t/b に接続される。入出力線 IO0t/b および IO1t/b はライトバッファによって書き込みデータにしたがって駆動され、ライトデータは、入出力回路 IOG を通してデータ線対に伝達される。この時、データ線対へは、入出力線の論理振幅 VDL に比べて、入出力回路 IOG の NMOS のしきい値電圧 V_{thn} 分低下し

た振幅 $V_{DL} - V_{thn}$ で書き込まれる。これによって、データ線対 $DL2t/b$ 及び $DL3t/b$ が接続されているクロスカップルの NMOS ソースノードは低電圧レベル V_{SS} まで駆動される。ここで、本構成では、クロスカップル CC の NMOS ソースノードが Y 選択線単位で分離されているので、隣接するデータ線対 $DL2t/b$ および $DL3t/b$ のクロスカップル CC のソースノードはプリチャージ期間の電位が維持されるので、プリセンス動作を起さない。また、PMOS ソースノードをデータ線プリチャージレベルと等レベルのデータ線高電圧レベル V_{DL} に接続していても、ライト選択データ線の 'H' のレベルがデータ線高電圧レベル V_{DL} よりも高い電位に遷移することがないため、プリセンス動作を引き起こすことはない。セルからの読み出し信号が十分読み出された後、センスアンプ活性化信号 ϕ_n が低電圧レベル V_{SS} から活性化レベル V_{CL} に遷移して、クロスカップル CC により、データ線対の微小信号がデータ線振幅電圧 V_{DL} まで増幅される。これにより、書き込み選択データ線対 $DL2t/b$ 、 $DL3t/b$ および書き込み非選択データ線対 $DL0t/b$ 、 $DL1t/b$ … に接続されたセルの記憶ノード $SN0t/b$ 、 $SN1t/b$ … には書き込みデータ或いは、読み出しデータが書き込まれる。書き込みが終了するとワード線 WL が非活性化レベル V_{SS} に遷移し、その後、プリチャージ信号 ϕ_{PCB} が低電圧レベル V_{SS} に遷移することで、データ線対のプリチャージが行なわれる。これにより、高速な書き込み動作と安定した読み出し動作を両立できる。

【0035】

本構成の利点について述べる。前述の実施例 3 の利点に加えて、(7) 2セル/ビットアレーを用いているため、データ線高電圧レベル V_{DL} プリチャージを行なっても 1セル/ビットアレーで必要であったリファレンスレベルが不要である。(8) データ線高電圧レベル V_{DL} プリチャージにより、クロスカップル CC の増幅速度が向上し、再書き込み時間が短縮でき、サイクル時間を短くできる。

【0036】

また、前述の実施例 1 同様に、クロスカップルの NMOS と PMOS の対となるソースノード間にプリチャージ回路或いは、イコライズ回路を付加することもできる。この場合の利点は、実施例 1 と同様である。

【0037】

次に、本発明第 4 の実施例について図 11 を用いて説明する。図 11 はセンスアンプブロックとメモリアレー部分の一部を示している。本実施例は、2セル/ビットのアレーに本発明の第 2 の実施例のセンスアンプブロックを適用した構成である。本構成のアレー部分の特徴は、物理的或いは、論理的に 1 本のワード線 $WL0$ を選択するとデータ線対 $DL0t/b$ 、 $DL1t/b$ … 全てのデータ線にメモリセルが接続され、それぞれのデータ線にデータが読み出されることである。センスアンプブロック SAB には、データ線に微小信号が読み出された段階で入出力線にデータを出力できるダイレクトセンスアンプを適用しているのが特徴である。

【0038】

本構成での、ライト動作を図 12 を用いて説明する。記憶ノード $SN2t/b$ には、それぞれ 'H' / 'L' が書きこまれているとする。ライトコマンドと同時にアドレスがメモリアレーに転送される。転送されたアドレスにしたがって、特定のセンスアンプブロックのプリチャージ信号 ϕ_{PC} が高電圧レベルである周辺回路電圧 V_{CL} 或いはワード線用昇圧電圧 V_{PP} から非活性化電圧 V_{SS} に遷移する。その後、転送されてアドレスに対応したワード線 $WL0$ が選択レベルである昇圧電源レベル V_{PP} に遷移する。ワード線と同時に或いは、前後して転送されたアドレスに対応した Y 選択線 $YS23$ が選択レベルである周辺回路電圧 V_{CL} に遷移する。これによって、データ線 $DL2t/b$ 及び $DL3t/b$ がデータ入出力線 $IO0t/b$ 及び $IO1t/b$ と接続される。この時、 $IO0t/b$ 及び $IO1t/b$ を駆動しているライトバッファによって、書き込むデータがセンスアンプに伝送される。これにより、データ線対には、記憶ノード $SN2t/b$ 及び $SN3t/b$ に書き込まれているデータとは無関係のデータがセンスアンプに書き込まれる。一方、ライト非選択のデータ線 $DL0t/b$ 、 $DL1t/b$ のそれぞれには、'H' 或いは 'L'

のセルが接続されて、データ線のレベルがプリチャージレベルV_{D L R}から読み出し信号量V_{s i g}分高電位或いは、低電位側に遷移する。入出力線I_{O 0 t / b}及びI_{O 1 t / b}からデータ線対D_{L 2 t / b}及びD_{L 3 t / b}へは、I_OゲートI_{O G}のNMOSトランジスタのしきい値電圧V_{t h n}分振幅が制限された電圧振幅で書き込まれる。データ線対がデータ線高電圧レベルV_{D L}からしきい値電圧V_{t h n}を差し引いた振幅となると、NMOSソースノードN_{S 2 3}とPMOSソースノードP_{S 0 1}間の電圧もV_{D L}-V_{t h n}振幅となる。本構成では、クロスカップルのソースノードがY選択線毎に分離されているので、隣接する別のY選択線Y_{S 0 1}で選択されるデータ線D_{L 0 t / b}及びD_{L 1 t / b}のクロスカップルC_Cのソースノード間電圧(P_{S 0 1}-N_{S 0 1})は、プリチャージ時の振幅を保っており、プリセンス動作を起さない。本構成のダイレクトセンスアンプD_{S A}はアレーライトイネーブル信号R_{W E}が高電圧レベルV_{C L}の時、データ線D_{L 2 t / b}、D_{L 3 t / b}…とI_O出力側データ線D_{I O 2 t / b}、D_{I O 3 t / b}…が接続されるため、NMOSで構成されるクロスカップル型となる。このため、ダイレクトセンスアンプD_{S A}のソースノードが低電圧レベルV_{S S}に駆動されると、出力側データ線D_{I O 2 t / b}、D_{I O 3 t / b}…を介してデータ線D_{L 2 t / b}、D_{L 3 t / b}…を増幅してしまう。しかし、本構成では、Y選択線毎にダイレクトセンスアンプのソースノードが分離されているので、ライト選択ダイレクトセンスアンプD_{S A}のソースノードD_{S A S 2 3}が低電圧レベルV_{S S}まで駆動されても、隣接する別のY選択線Y_{S 0 1}で選択されるダイレクトセンスD_{S A}のソースノードD_{S A S 0 1}は駆動されないため、ダイレクトセンスアンプD_{S A}によるデータ線のプリセンス動作を起さない。これにより、ライト非選択センスアンプでは、正確な読み出し動作を行なうことができる。

【0039】

本構成の利点について述べる。(1) メモリセルのデータを読み出すのと同時に書き込みデータを書き込むことにより、高速な書き込み動作が可能となる。(2) ライト時の隣接クロスカップル回路でのプリセンス動作を防止でき、安定した読み出し動作を実現できる。(3) Y選択線の本数が実施例1に比べて半分になるため、Y選択線を配線する層の配線レイアウトが容易になる利点がある。(4) 2セル/ビットアレーを用いることにより、1セル/ビットに比べてクロスカップルC_Cに入力される信号量が2倍にできる。(5) クロスカップルC_Cの入力であるデータ線対に‘H’及び‘L’の相補のデータが読み出されるため、クロスカップルC_Cの動作点がデータパターンによって変化せず、データパターンによる動作速度のばらつきが低減できる。(6) ダイレクトセンスアンプを用いているため、高速に読み出しデータを出力できる。(7) リードとライトのY選択線のタイミングをともにワード線と同じタイミングで活性化することができ、制御回路が簡易化できる。(8) 2セル/ビットのアレーにおけるメモリセル不定状態を原因としたクロスカップルでの貫通電流の影響を取り除いて、パワーアップ時のソースノード間電圧低下による書き込み電圧の低下を防止し、確実な初期化・書き込み動作を実現できる。また、第1の実施例のように、1つのデータ線対に対して1つのY選択線を割り当てる構成も可能である。その場合には、Y選択線の本数が増加するが、Y選択線1本あたりに接続されるトランジスタ数が半減するため、Y選択線の付加が低減できる利点がある。

【0040】

また、NMOS、PMOSのソースノードN_{S 0 1}、N_{S 2 3}、…及びP_{S 0 1}、P_{S 2 3}、…のそれぞれの間にデータ線のプリチャージ回路P_Cと同様の回路を付加する構成にしてもよい。この場合、プリチャージ期間にソースノードをデータ線プリチャージレベルV_{D L R}にプリチャージできるので、プリチャージ期間のソースノードの変動が抑えられるので安定した動作を実現できる。また、NMOS、PMOSのソースノード間をショートするスイッチだけでもPMOSソースノードとNMOSソースノードを同じレベルに設定することが出来るため安定した動作を実現できる。

【0041】

次に本発明を適用する半導体装置全体について説明する。

【0042】

図15は、本発明を適用するに望ましい、半導体装置のブロック図を示している。本構成では、アレーのサイクル時間が短サイクルの場合に適しており、過去2回分のライトサイクルのアドレス及びデータがアドレスバッファ、データバッファに保持される構成である。データバッファ1 (Data Buffer 1) は、1回前のライトデータを記憶するための一時的なデータ保持回路である。データバッファ2 (Data Buffer 2) は2回前のライトデータを記憶するための一時的なデータ保持回路である。アドレスバッファ1及び2 (Address Buffer 1, 2) は、それぞれデータバッファ1及び2のデータに対応したアドレスを記憶する。アドレス比較器 (Address Compare) はリード或いはライト時に入力されたアドレスA0...Anとアドレスバッファ1及び2に保持されているアドレスを比較するための回路である。マルチプレクサ (MUX) は、制御信号にしたがって信号を選択するためのスイッチである。XデコーダX-DEC及び、YデコーダY-DECはマルチプレクサにより選択されたアドレスを解読するための回路である。データ入出力部I/O CTLは入出力のデータを制御するための回路ブロックである。出力バッファ (Output Buffer) は外部へのデータ出力を制御する回路ブロックである。内部電源発生回路VGは外部電源VCCから内部回路で利用するための電源を発生するための回路ブロックである。タイミングクロック発生部TCGは内部動作のタイミングをさめる回路ブロックである。図19にはXデコーダX-DECとYデコーダY-DEC及びメモリアレーMAの詳細構成を示している。メモリアレーMAは複数のサブワードドライバブロックSWDBと複数のセンスアンプブロックSABとそれらに囲われた複数のサブメモリアレーARY及び、クロスエリアXAからなる。メインワードドライバブロックMWDBは、階層ワード線構成におけるメインワード線を出力する回路ブロックである。

【0043】

以上、本発明のいずれの実施例においても、1つのセンスアンプブロックに対して1つのメモリアレーが接続される非共有センスアンプ構成で説明しているが、汎用DRAM等で用いられているようなセンスアンプブロックの両側のメモリアレーでセンスアンプブロックを共有する共有センスアンプ方式にも適用することも可能である。この場合、隣接するアレーでセンスアンプブロックを1つ用意すればよいので、面積低減効果がある。また、さらに、1つのサブアレーの両側にセンスアンプブロックを配置して、メモリアレー内のデータ線対を両側のセンスアンプブロックのいずれかのセンスアンプに接続するセンスアンプ千鳥配置構成のアレーに適用することも可能である。この場合、センスアンプのレイアウトピッチがデータ線対のピッチの2倍にできるため、センスアンプブロック内のレイアウトが容易になる利点がある。また、共有センスアンプ構成かつセンスアンプ千鳥配置構成のアレーにも適用することができる。この場合、チップ面積削減効果とレイアウトの容易化する利点がある。

【0044】

次に、本半導体装置の動作について図15と図16を用いて説明する。図16にはタイミングチャートを示す。本構成では、1回のリード或いはライトサイクルで、入出力ピン1本あたり4データが入出力される4ビットプリフェッチで、さらにこの4ビットをバースト長4として出力する場合を想定している。このプリフェッチ動作は、同時に読み出した4ビットの平行データをアドレスにしたがって、パラレル-シリアル変換し、外部に出力する。ライト時は、この逆で、4ビットのシリアルデータを、パラレル変換してアレーに転送する。本構成でのタイミングは、ライト・リードのサイクル時間が、2クロックサイクル、リードコマンド入力からリードデータ出力までの遅延時間は、1.5クロックサイクルを想定しているが、これに限られるわけではない。まず、ライト動作の説明を行なう。データバッファ、アドレスバッファは初期化されているものとする。ライトコマンド入力されると同時に対応するアドレスA00-A0nが入力される。ライト動作を行なう場合、ライトデータW00-W03は、この入力されたコマンドからクロックサイクルの1クロック遅れて入力される。ライトデータW00-W03及び対応したアドレスA00-A0nはそれぞれ、次のライトコマンドが入力されるまでデータバッファ1、

アドレスバッファ1に保持される。図16のように、続くサイクルでさらにライトコマンドWA1が入力されると、データバッファ1及びアドレスバッファ1に保持されていたライトデータW00-W03及びアドレスA00-A0nはそれぞれデータバッファ2、アドレスバッファ2に転送され、次のライトコマンドが入力されるまで保持される。これ引き続き、本サイクルで入力されたライトデータW10-W13がデータバッファ1に保持され、対応するアドレスA10-A1nがアドレスバッファ2に送られ、次のライトコマンドが入力されるまで保持される。続くサイクルで、さらにライトコマンドWA2が入力されると、アドレスバッファ2のアドレスA00-A0nがマルチプレクサMUXからXデコーダ、Yデコーダに送られ、そこで特定のアドレスが選択される。同時に、データバッファ2に保持されていたデータW00-W03がIO制御部に送られメモリアレーの特定アドレスに書き込まれる。これと同時にデータバッファ1及びアドレスバッファ1に保持されていたライトデータW10-W13及びアドレスA10-A1nはそれぞれデータバッファ2、アドレスバッファ2に転送され、次のライトコマンドが入力されるまで保持される。これに引き続き、本サイクルで入力されたライトデータW20-W23がデータバッファ1に保持され、対応するアドレスA20-A2nがアドレスバッファ2に送られ、次のライトコマンドが入力されるまで保持される。このように、過去2回分のライトデータを保持することにより、ライトデータを特定のアドレスを活性化すると同時にメモリアレーに転送することが可能となり、センス前にライトデータをセンスアンプに書き込むことが可能となる。

【0045】

次にリード動作を説明する。図16にはライトコマンドW2の後にリードコマンド及びアドレスが入力されている例を示している。この場合、入力されたアドレスA30-A3nは図15のアドレス比較回路とマルチプレクサMUXに転送され、アドレスバッファ1及びアドレスバッファ2に保持されているアドレスと比較される。比較結果が不一致の場合には、図16に示すように、メモリアレーの特定のアドレスが活性化され、そこから読み出したリードデータR30-R33が出力バッファに転送され、外部に出力される。一方、図16のリードコマンドR2のように、アドレスバッファ1に保持されているアドレスA10-A1nと同じアドレスが入力されると、アドレス比較回路から一致信号HIT1が出力される。これをデータマルチプレクサが受けて、一致したアドレスに対応したデータバッファ1から保持しているデータW10-W1nを出力バッファに転送し、出力データR10-R1nとしてそのデータが外部に出力される。入力されたアドレスがアドレスバッファ2に保持されているアドレスの場合は、アドレス比較回路から一致信号HIT2が出力される。これをデータマルチプレクサが受けて、一致したアドレスに対応したデータバッファ2から保持しているデータを出力バッファに転送し、出力データとしてそのデータが外部に出力される。また、アドレスバッファ1及びアドレスバッファ2共に一致した場合には、アドレスバッファ1に対応したデータバッファ1のデータが出力バッファで有効となり、そのデータが外部に出力される。

【0046】

本構成の利点について述べる。図16で示しているようなリード・ライトのサイクル時間が短い場合や、ライトサイクルで入力されるライトデータが次のサイクルのコマンド入力と重なる場合や、レイトライトのようなライトデータがライトコマンドよりも後に入力される場合では、入力されたサイクルと同じサイクルで、メモリセルまで書き込むことは困難である。さらに、ライトサイクルが2回連続で行なわれると、バーストの最後のデータは、次のサイクルの途中で入力されることから、次のサイクルにおいてもアレーに転送し、書き込むと書き込み時間が短いため、書き込み電圧が低下する。本構成では、内部の2段のアドレス、データバッファによって、ライトコマンドが入力されるたびに1段ずつ転送し、2回後のライトサイクルで実際にメモリアレーに転送することで、センス前にセンスアンプに書き込みデータを転送することができる。これにより、センス前書き込みを十分に行なうことができる。これより、書き込み時間を十分に確保できるため、十分な書き込み特性を得ることができる。

【0047】

本発明を適用する別の半導体装置全体について図17及び図18を用いて説明する。前述の図15、図16はメモリアレーの外部のバッファで2つのライトデータとアドレスを保持している構成であったが、図の構成では、ライトデータとアドレスを1つだけ保持している場合のブロック図である。前述の構成に比べて、コマンド入力間隔に比べて、リード及びライトのサイクル時間が十分短い場合には、本構成の方がアドレス及びデータの制御が容易にできる。ライトコマンド入力されると同時に対応するアドレスA00-A0nが入力される。ライトデータW00-W03は、ライト動作により1クロック後に入力される。ライトデータW00-W03及び対応したアドレスA00-A0nはそれぞれ、次のライトコマンドが入力されるまでデータバッファ1、アドレスバッファ1に保持される。図18のように、続くサイクルでさらにライトコマンドW1が入力されると、アドレスバッファ1のアドレスA00-A0nがマルチプレクサMUXからXデコーダ、Yデコーダに送られ、そこで特定のアドレスが選択される。同時に、データバッファ1に保持されていたデータW00-W03がIO制御部に送られメモリアレーの特定アドレスに書き込まれる。本サイクルで入力されたライトデータW10-W13はデータバッファ1に保持され、対応するアドレスA10-A1nがアドレスバッファ1に転送され、次のライトコマンドが入力されるまで保持される。このように、過去1回分のライトデータを保持することにより、ライトデータを特定のアドレスを活性化すると同時にメモリアレーに転送することが可能となり、センス前にライトデータをセンスアンプに書き込むことが可能となる。

【0048】

次にリード動作を説明する。図18にはライトコマンドW1の後にリードコマンド及びアドレスが入力されている例を示している。この場合、入力されたアドレスA20-A2nは図17のアドレス比較回路とマルチプレクサMUXに転送され、アドレスバッファ1に保持されているアドレスと比較される。比較結果が不一致の場合には、図18にあるように、メモリアレーの特定のアドレスが活性化され、そこから読み出したリードデータR00-R03が出力バッファに転送され、外部に出力される。一方、一致した場合には、一致信号HITが活性化し、前述の図15、16のようにデータバッファ1に保持しているデータが出力バッファに転送され、そのデータが外部に出力される。

【0049】

本構成の利点について述べる。本構成は、データ入出力がサイクル時間内に終わるようなサイクル時間の比較的長いアレーに適用するのが望ましい。同一サイクル内に書き込む方式に比べて、本構成のように、内部に1段のアドレスとデータのバッファを設け、次のライトサイクルのセンスする前にセンスアンプに書き込むことにより、書き込みデータをメモリセルに書き込む時間が十分に確保できる。これにより、ライト非選択のメモリセル再書き込み電圧とライト選択のメモリセルの書き込み電圧を同等にすることができ、十分な書き込み電圧を得ることができ、高速ライトサイクルを実現できる。また、前述の図15、図16の構成に比べて、本構成では、内部構成を簡易化できる利点がある。

【0050】

本発明を適用する半導体装置の望ましい電圧条件について述べる。外部電源電圧は、2.5Vもしくは、1.8、1.5V程度である。アレー電圧VDL及び、周辺回路電圧VCLは、外部電源電圧VDDと同一でも、内部電源降圧回路により、低電圧化してもよい。低電圧化すると、消費電力を低減できる利点がある。特に、アレー電圧VDLを低電圧化すると、データ線の充放電電力が低減できるため、低消費電力には効果的である。さらに、低電圧化を行なうとワード線振幅電圧VPPも低減できるため、メモリセルトランジスタの耐圧に余裕ができる利点がある。データ線プリチャージレベルVDLRはアレー電圧の1/2とすると、'H'及び'L'の信号量が均等に出力されるため望ましい。さらに、データ線の充放電電流による消費電流を小さくすることができる。また、2セル/ビットのアレーを用いた場合には、通常の1セル/ビットのアレーに比べて信号量が2倍発生するので、たとえば、1V以下低アレー電圧に向いている。また、1セル/ビットのアレー

ーと比べて、2セル/ビットのアレーでは、1ビットを相補で記憶しているので、データ線のプリチャージレベルを低電圧レベルVSSから高電圧レベルVDLのいずれの値に設定しても、データ線対上に信号が現われる。そのため、プリチャージレベルを高電圧レベルVDLにすることで、センスアンプの増幅速度を向上させることができる。また、アレー電圧を低電圧化すると、通常のDRAMアレーでは反転書き込みセルの書き込みの速度が低下し、高速サイクル下では書き込み電圧が低くなることからデータ保持時間が短くなる問題がある。一方で本構成では、低電圧化しても再書き込みセルとライト選択セルでの書き込み時間の差を小さくできるため、書き込み電圧に差が小さい。このため、低電圧で高速サイクルにしても書き込み特性が悪化してデータ保持時間が短くなるようなことが避けられるので、低電圧での高速動作に向いている。

【0051】

これまで、DRAMに限って説明してきたが、本構成は、論理混載DRAM或いは、論理混載メモリアレー部分に適用可能である。混載メモリの場合には、論理部分とメモリ部分との間のピン数の制限がほとんどないため、ライトコマンドと同じ或いは直後に、大量のデータを一括してメモリアレーに転送することが可能である。そのため、本構成では、ライトサイクルの高速化が可能となる利点がある。また、混載メモリでは、独自タイミングでの動作を行なうことができるため、ライトデータをライトコマンドと同時、或いはライトコマンドよりも前に入力することも可能となり、本構成を行なうことで、読み出しセルへの悪影響を防止しつつ、ライトサイクルの高速化が実現できる。

【図面の簡単な説明】

【0052】

【図1】本発明の第1の実施例のセンスアンプブロック及びその周辺を含む構成図である。

【図2】第1の実施例の動作波形図の例である。

【図3】第1の実施例の変形例である。

【図4】本発明の第2の実施例のセンスアンプブロック及びその周辺を含む構成図である。

【図5】第2の実施例の動作波形図の例である。

【図6】第2の実施例の変形例である。

【図7】本発明の第3の実施例のセンスアンプブロック及びその周辺を含む構成図である。

【図8】第3の実施例の動作波形図の例である。

【図9】第3の実施例の変形例である。

【図10】第3の実施例の動作波形図の例である。

【図11】本発明の第4の実施例のセンスアンプブロック及びその周辺を含む構成図である。

【図12】第4の実施例の動作波形図の例である。

【図13】メモリアレーのレイアウト例を示した図である。

【図14】クロスカップル部分のレイアウト例を示した図である。

【図15】本発明を適用するDRAMのブロック図の例である。

【図16】図15のDRAMの内部動作を示した図である。

【図17】本発明を適用するDRAMのブロック図の例である。

【図18】図16のDRAMの内部動作を示した図である。

【図19】メモリアレー部分のブロック図である。

【図20】従来のセンスアンプブロックとその周辺を含む構成図である。

【図21】従来方式でセンス前書き込みを行なった場合の波形図である。

【符号の説明】

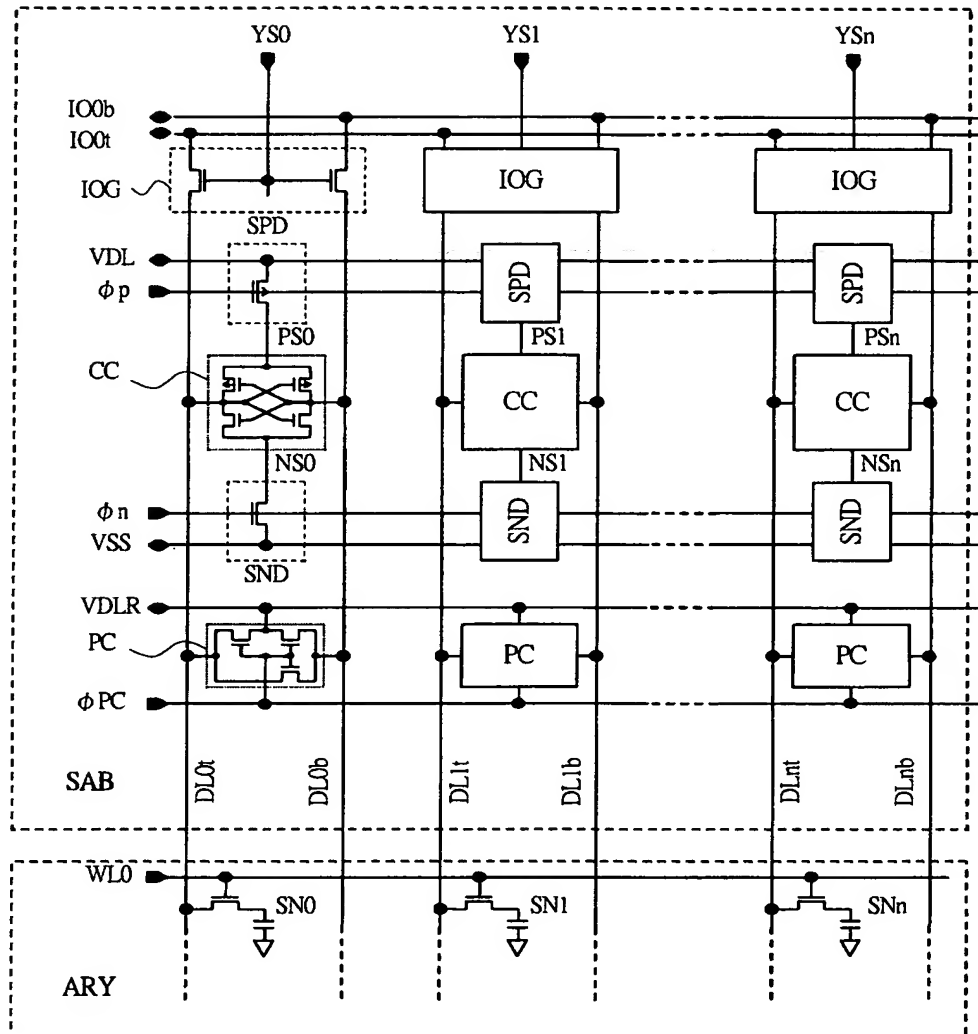
【0053】

SAB：センスアンプブロック、XA：クロスエリア、ARY：メモリアレイ部DLt、DL0t、DL1t、…DLnt、DLb、DL0b、DL1b、…DLnb：データ

線、DIO0t、DIO1t、…DIONt、DIO0b、DIO1b、…DIONb：データ線出力端子、SN0、SN1…、SN0t/b、SN1t/b…：メモリセルストレージノード、IOt/b、IO1t/b、IO0t/b：入出力線、IOG：出力回路、DS：ダイレクトセンスアンプ、DSD：ダイレクトセンスアンプドライバ、PC、PC1：データ線プリチャージ回路、CC：クロスカップル回路、MC：メモリセル、PL：プレート電極、SN、SN0、SN1…、SN0t/b、SN1t/b、…：ストレージノード、YS0、YS1、…YS01、YS23、…YSn：Y選択線、SND：NMOSセンスアンプドライバ、SPD：PMOSセンスアンプドライバ、NCS：クロスカップルNMOSコモンソース線、PCS：クロスカップルPMOSコモンソース線、NS0、NS1、…NS01、NS23、…：クロスカップルNMOSソースノード、PS0、PS1、…、PS01、PS23、…：クロスカップルPMOSソースノード、VDLR：データ線プリチャージレベル、VSS：グラウンドレベル、VDL：データ線振幅電圧、VCL：周辺回路電源電圧、VPP：ワード線用昇圧電源電圧、 ϕ PCB、 ϕ PC：プリチャージ信号、 ϕ n：センスアンプNMOS活性化信号、 ϕ p：センスアンプPMOS活性化信号、WL：ワード線、VCC：外部電圧、MA：メモリアレー、XDEC：Xアドレスデコーダ回路、YDEC、Yアドレスデコーダ回路、F：最小加工寸法、SNCT：ストレージノードコンタクト、DLCT：データ線コンタクト、L：拡散層、MUX：マルチプレクサ。

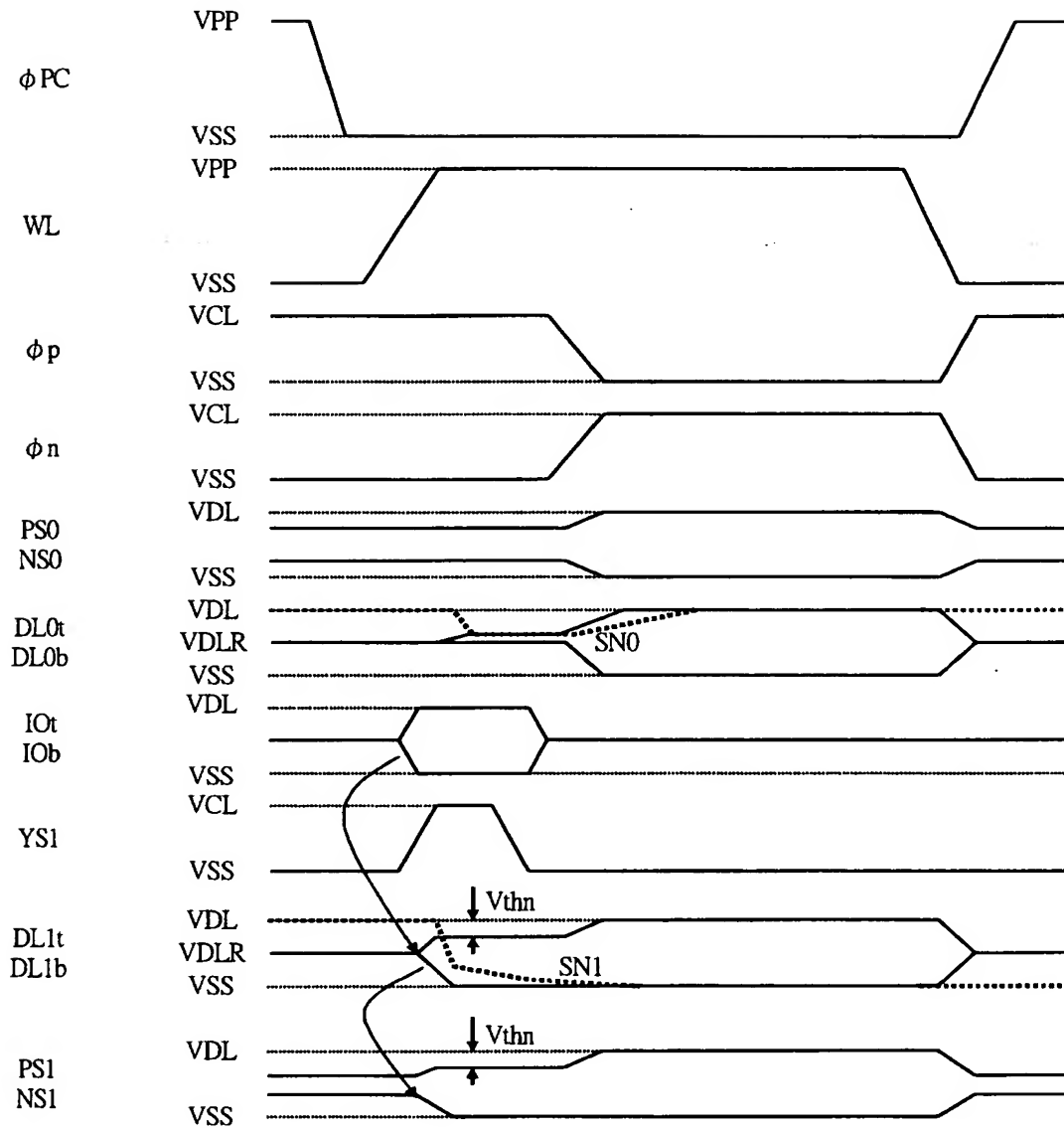
【書類名】 図面
【図 1】

図 1



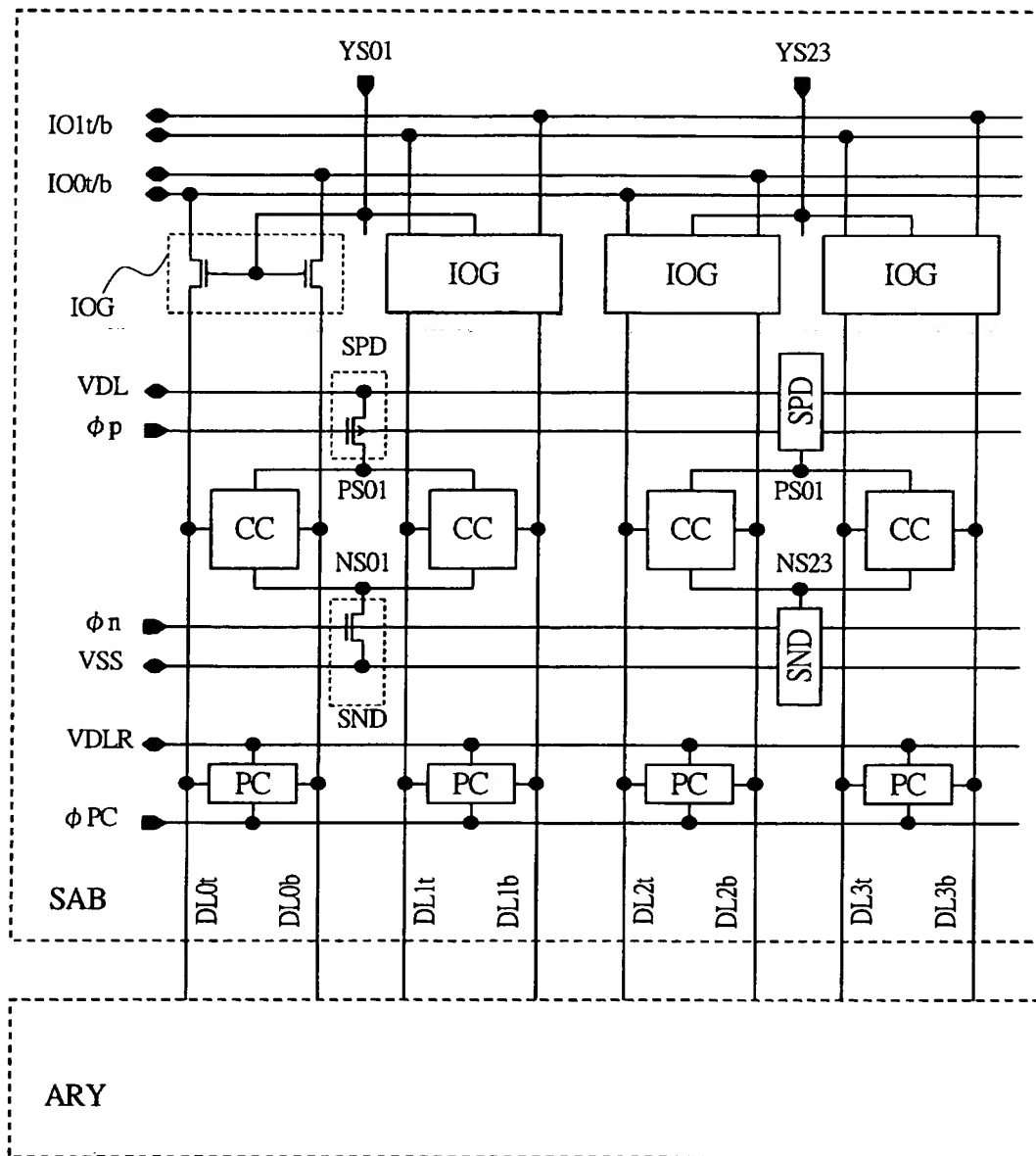
【図 2】

図 2



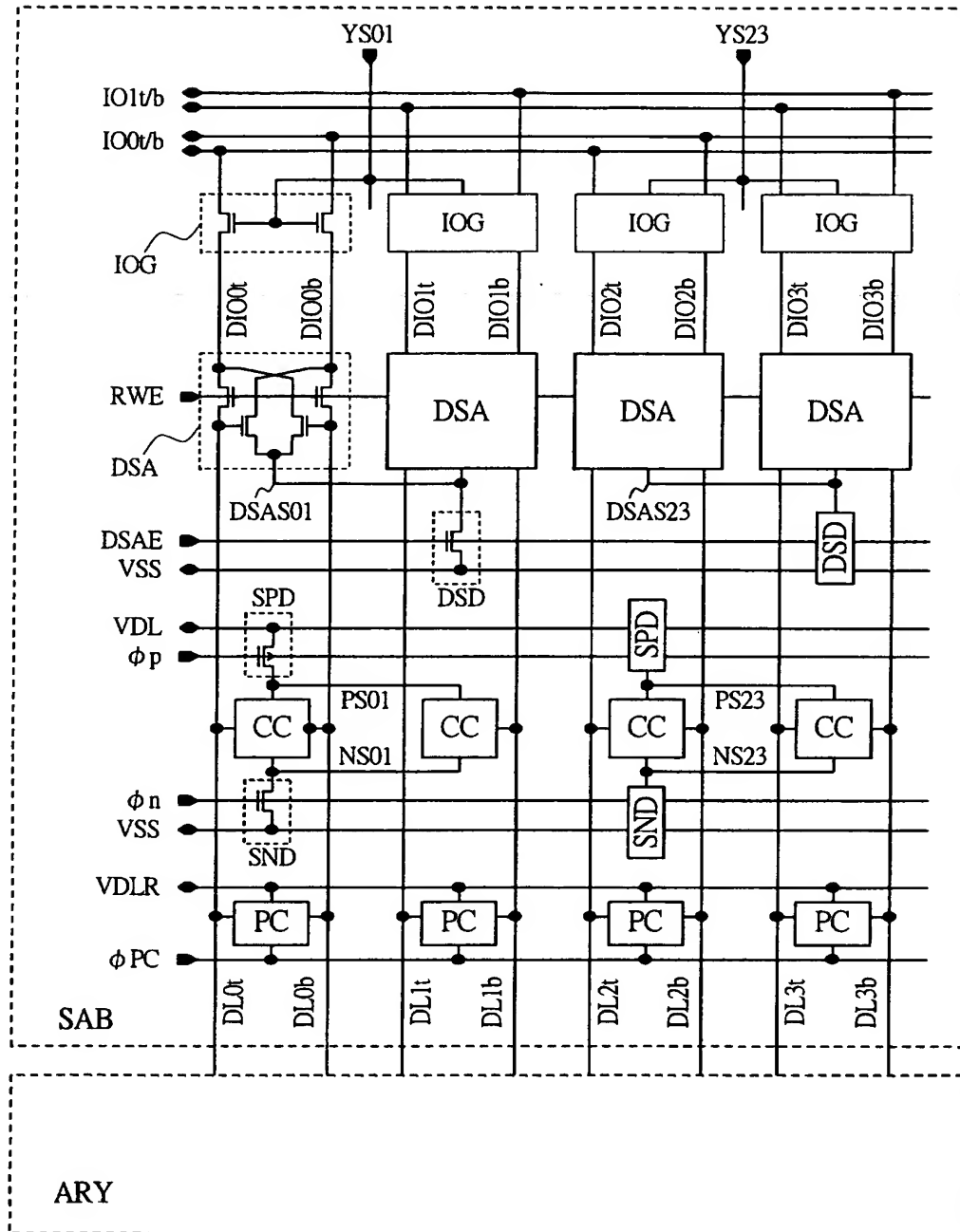
【図 3】

図 3



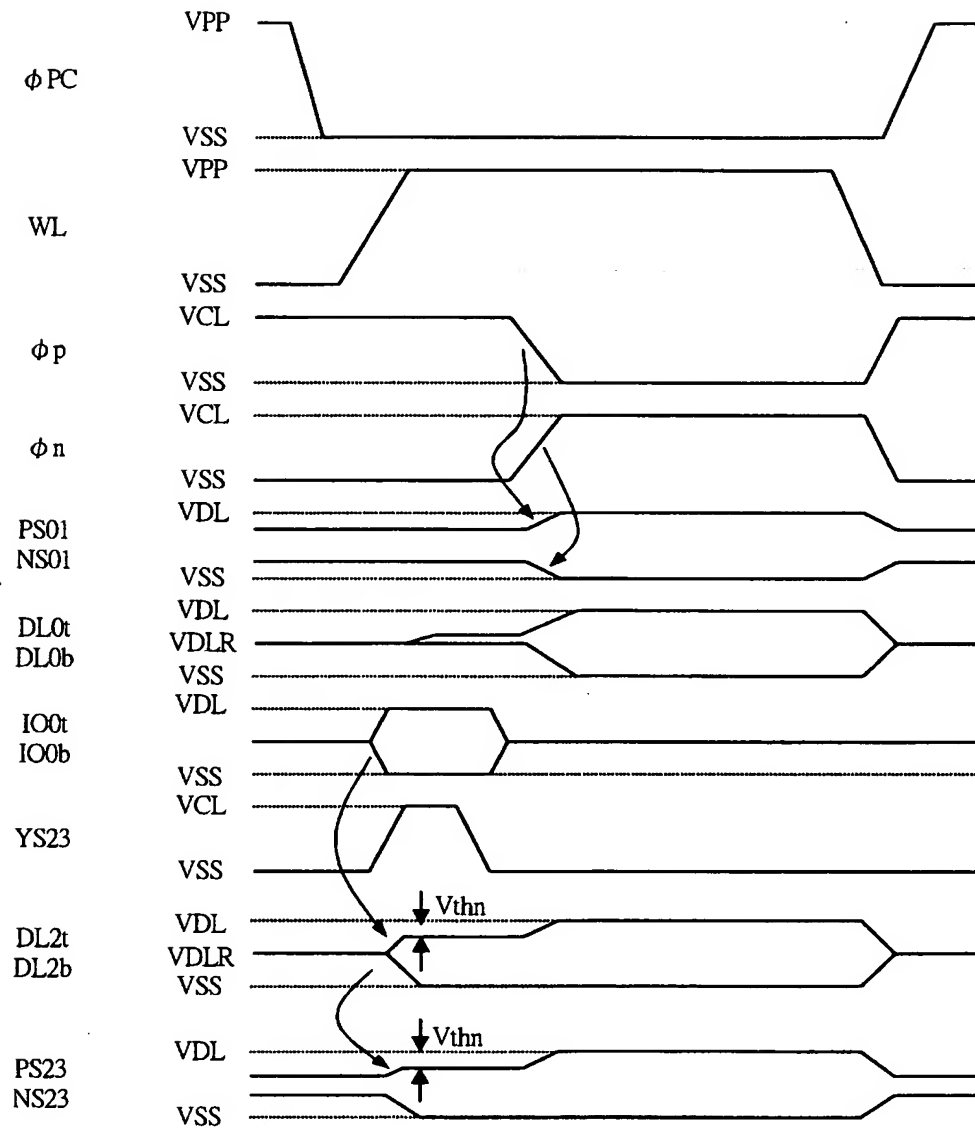
【図 4】

図 4



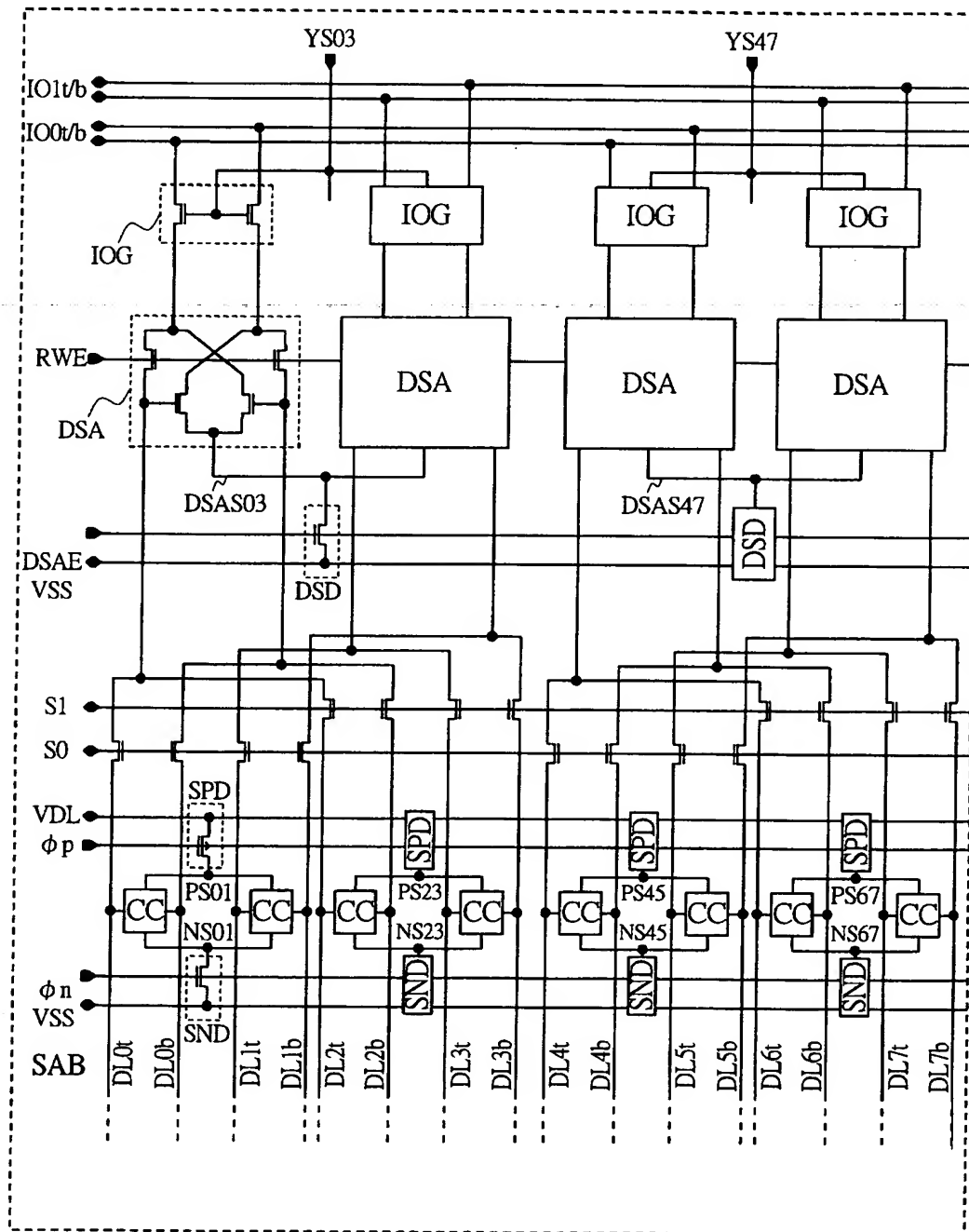
【図 5】

図 5



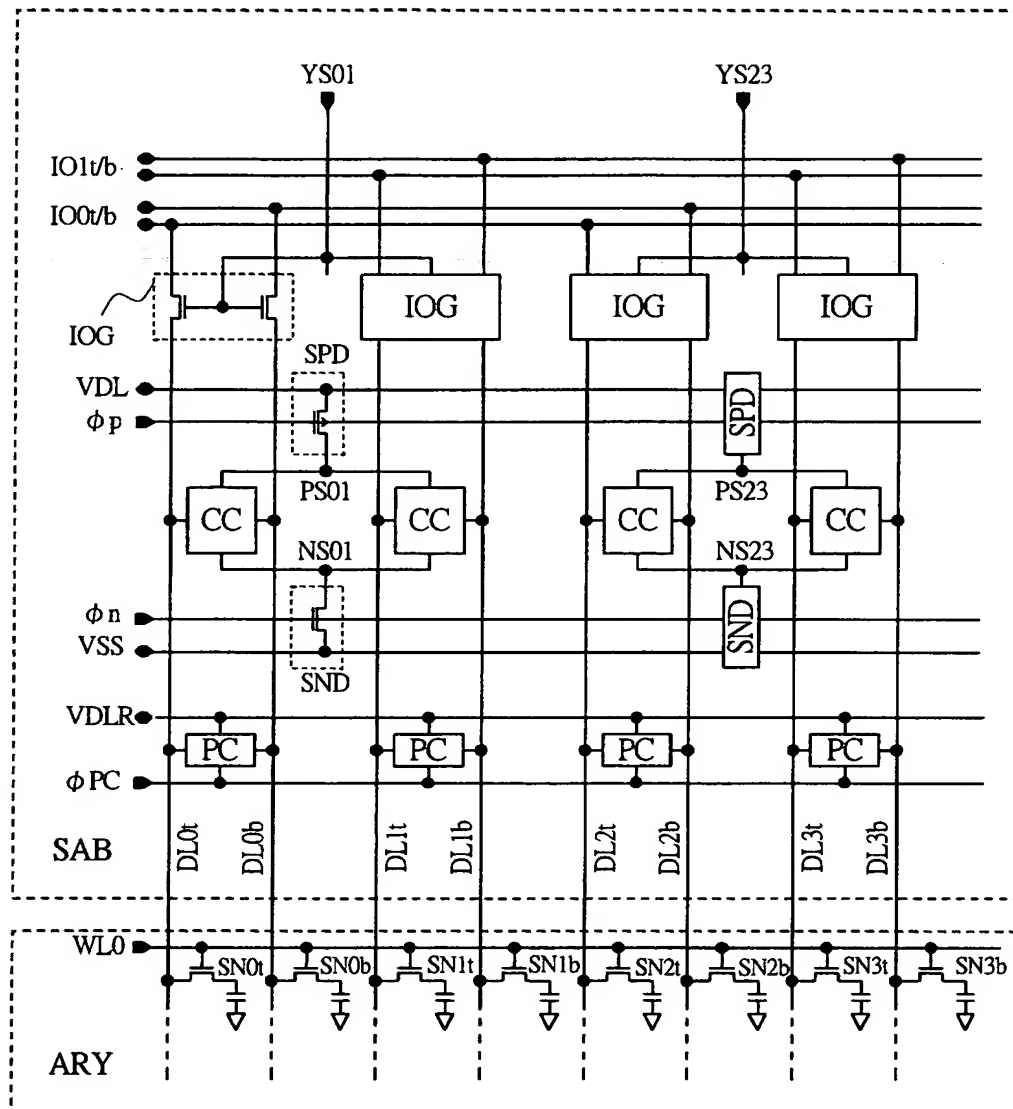
【図 6】

図 6



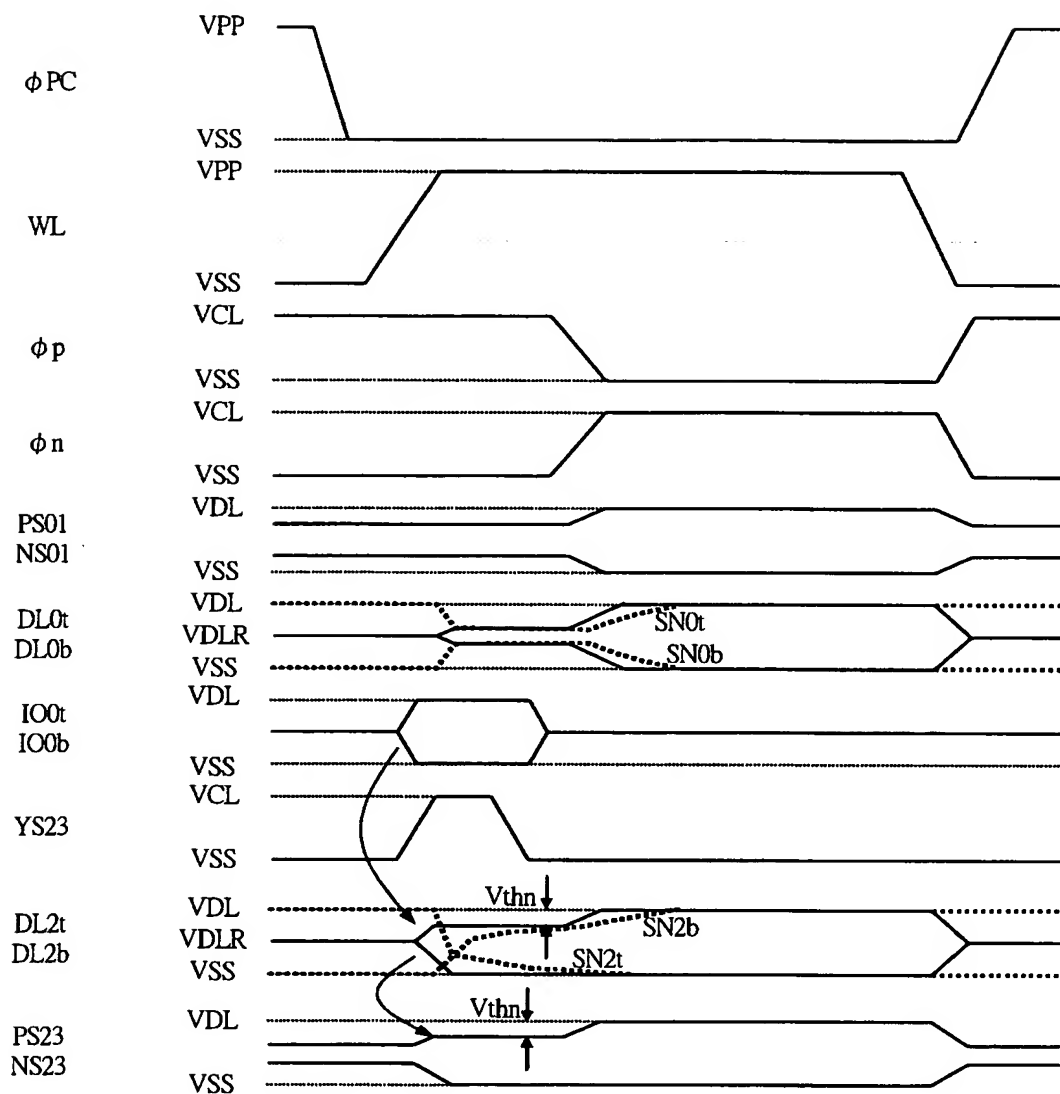
【図 7】

図 7



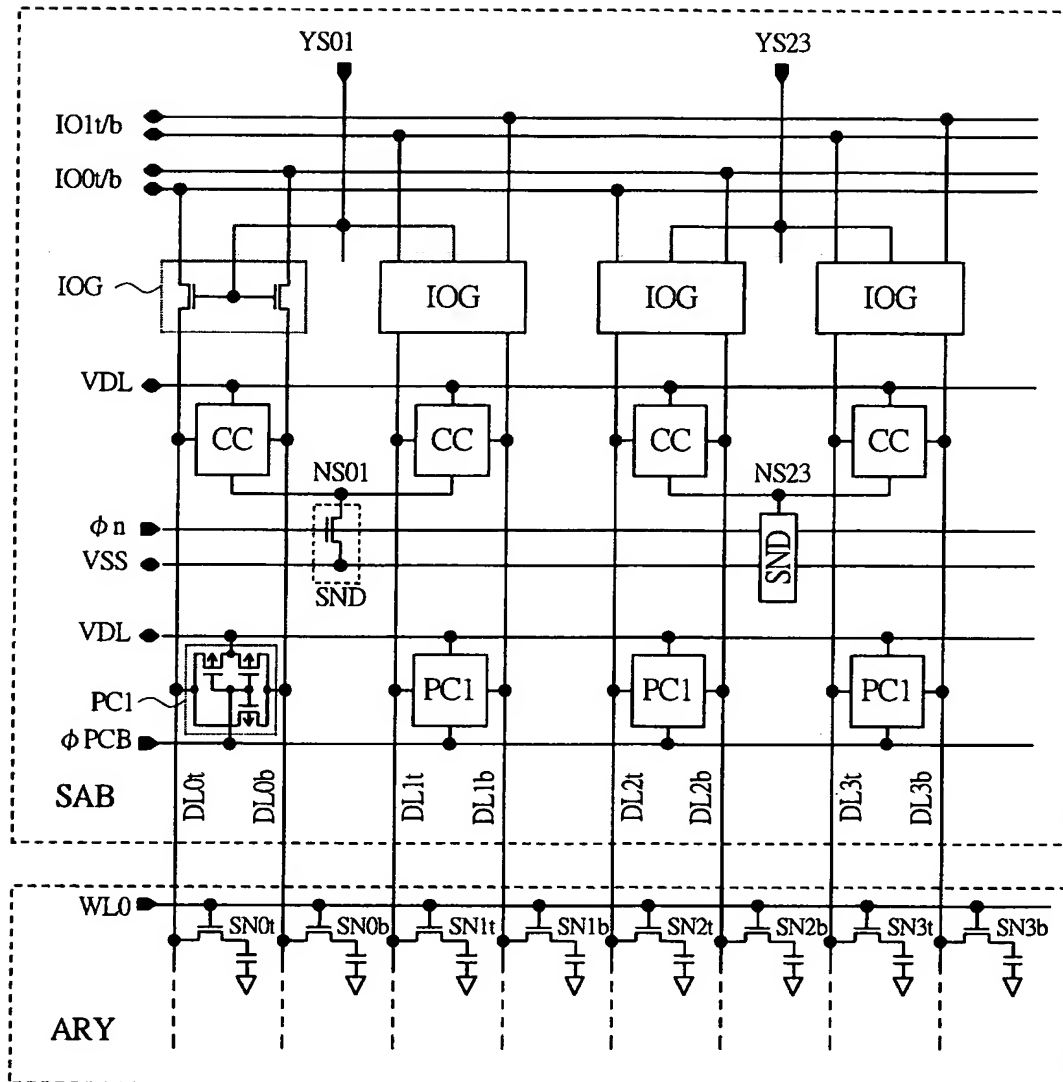
【圖 8】

8



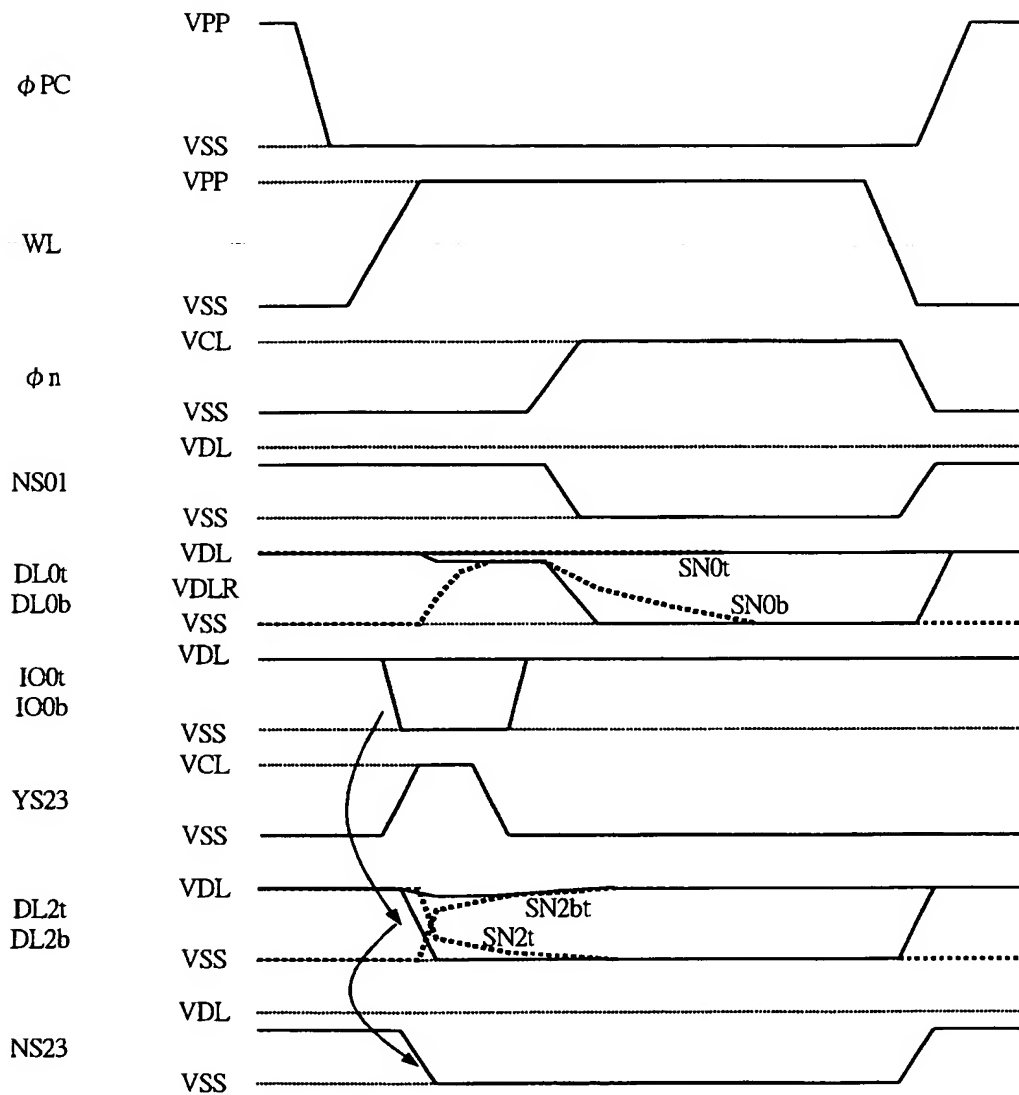
【図 9】

図 9



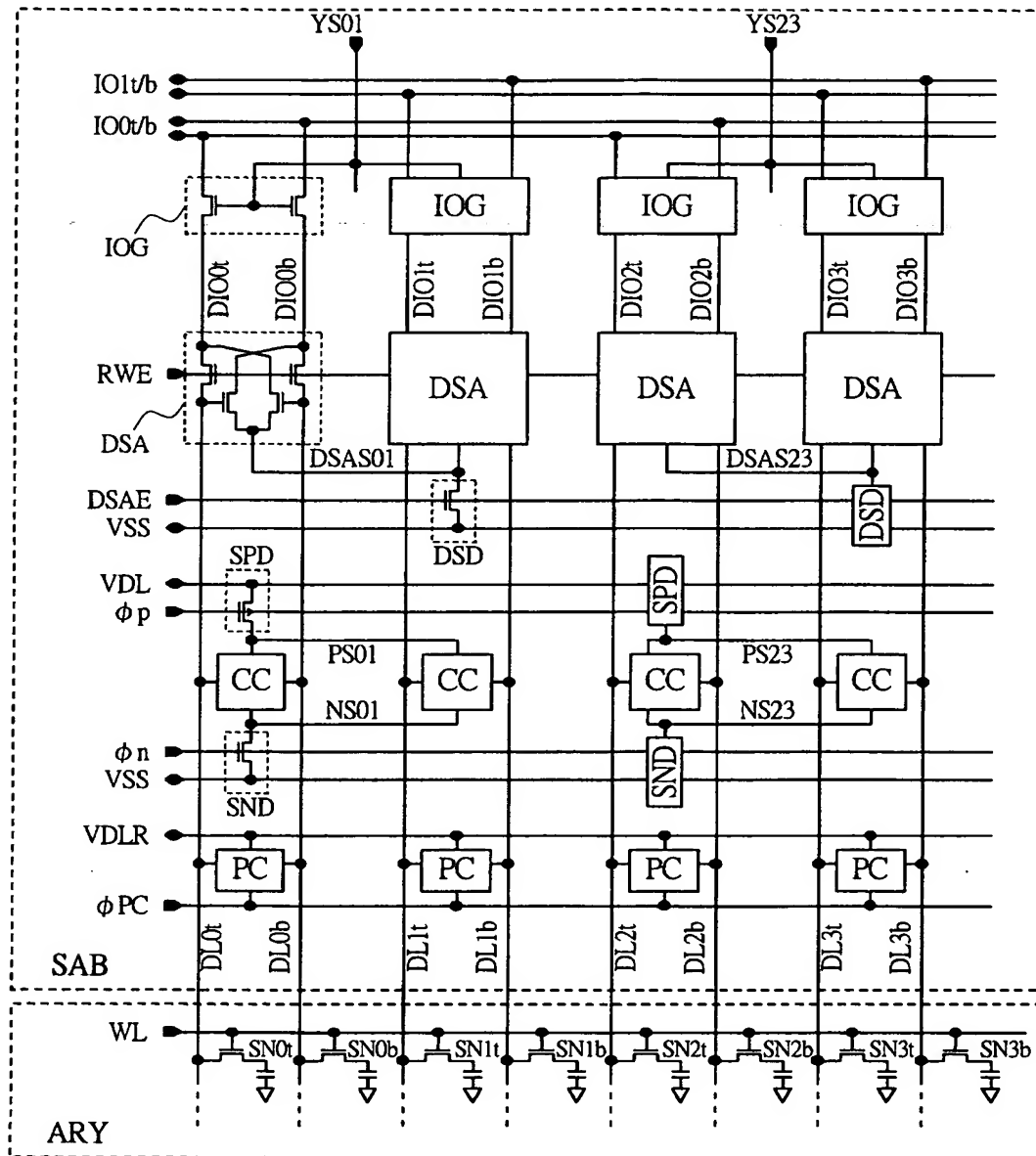
【図 10】

図 10



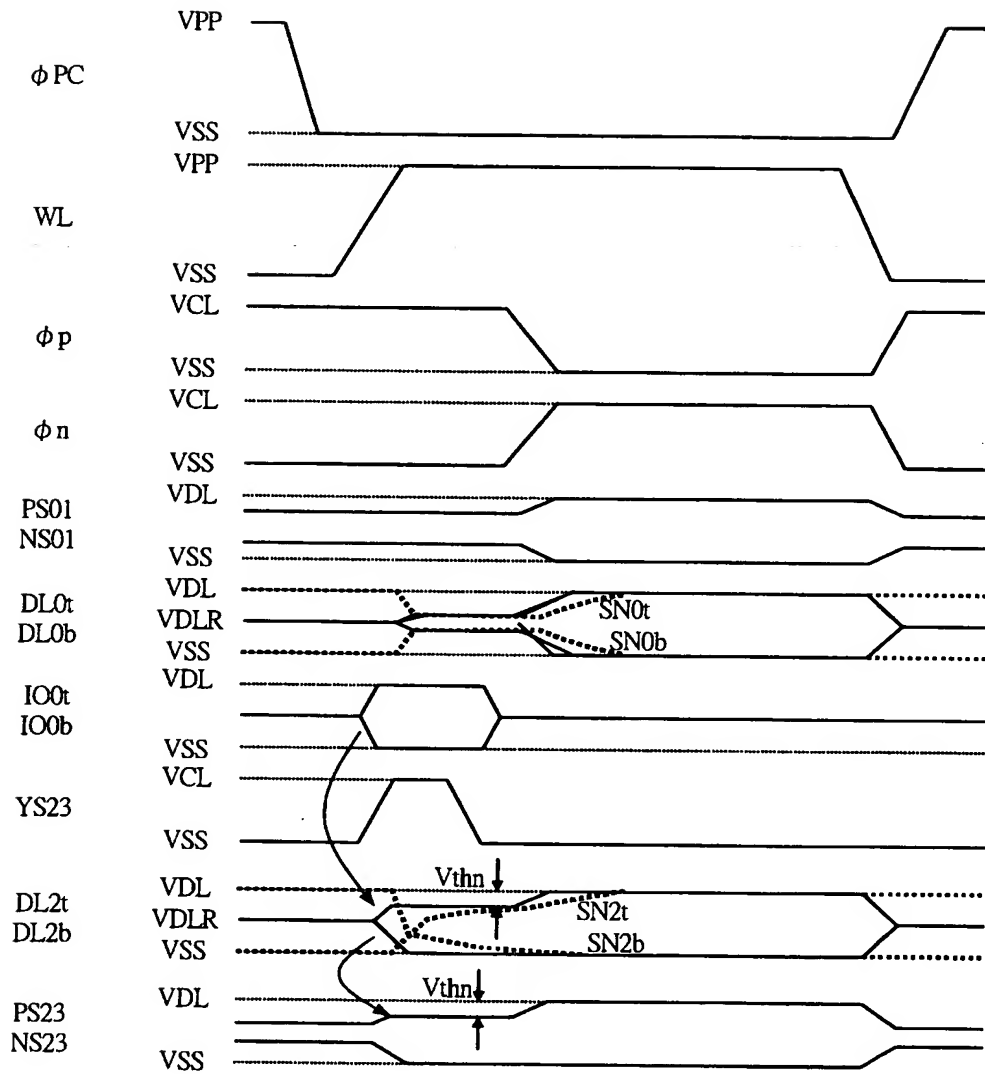
【図 11】

図 11



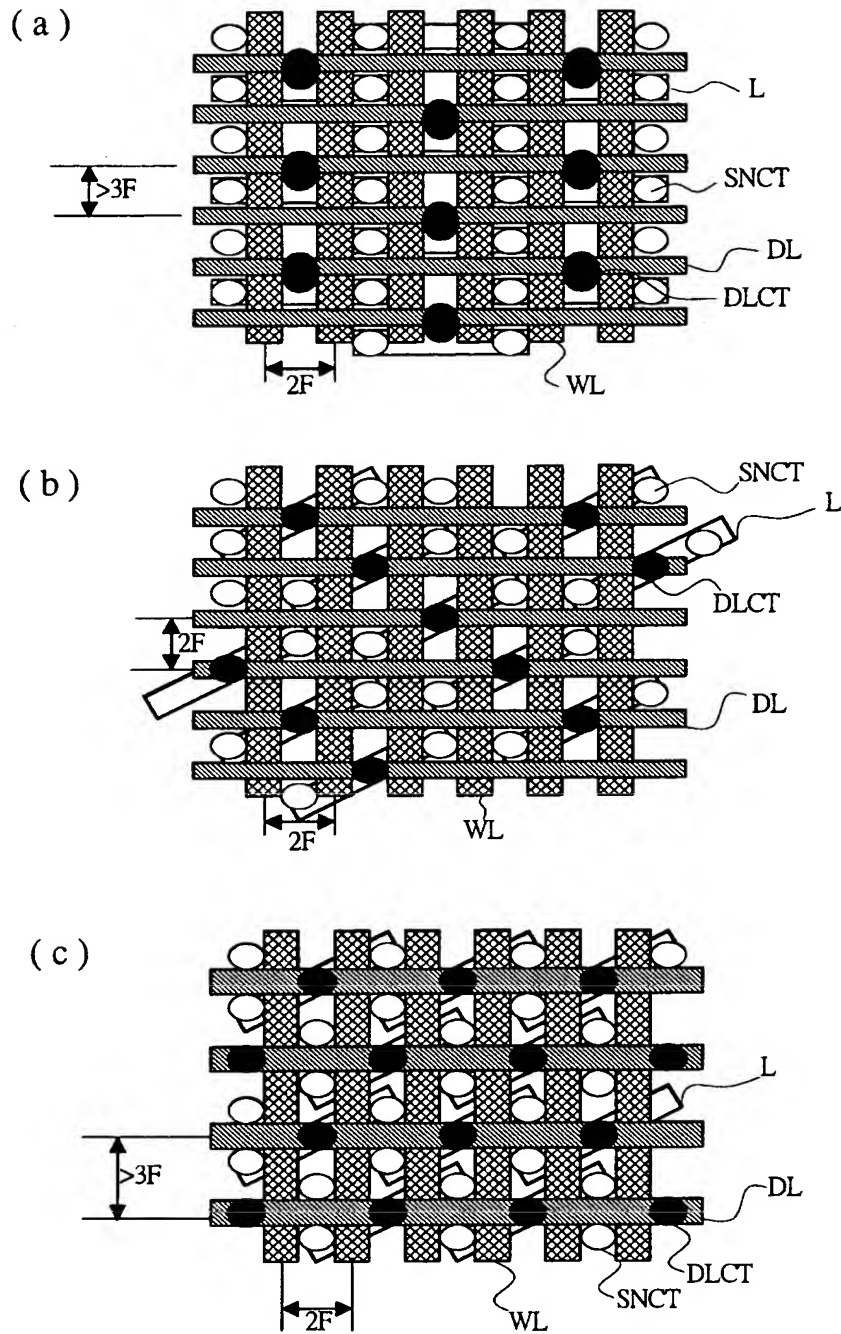
【図 12】

図 12



【図 13】

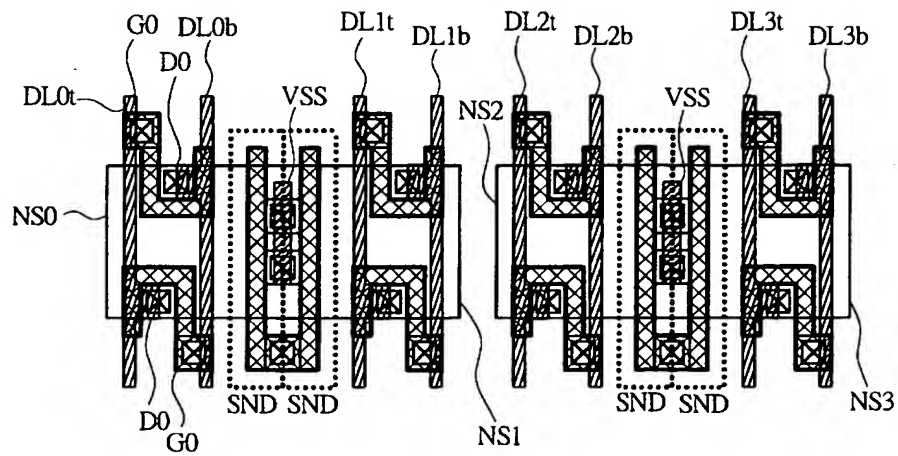
図 13



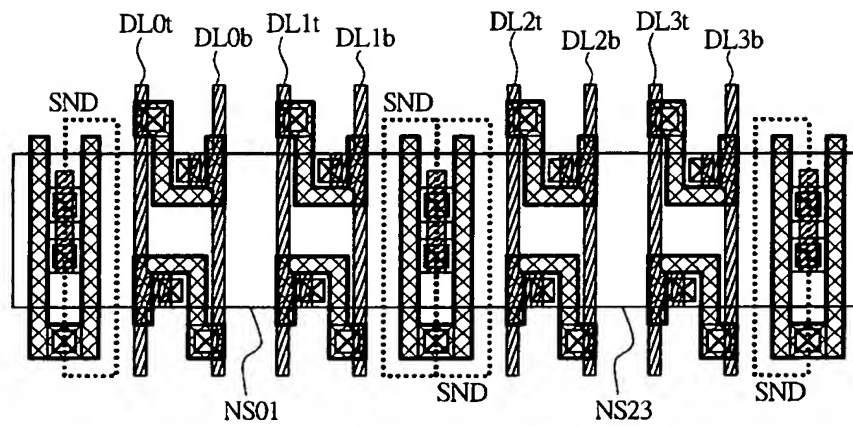
【図 14】

図 14


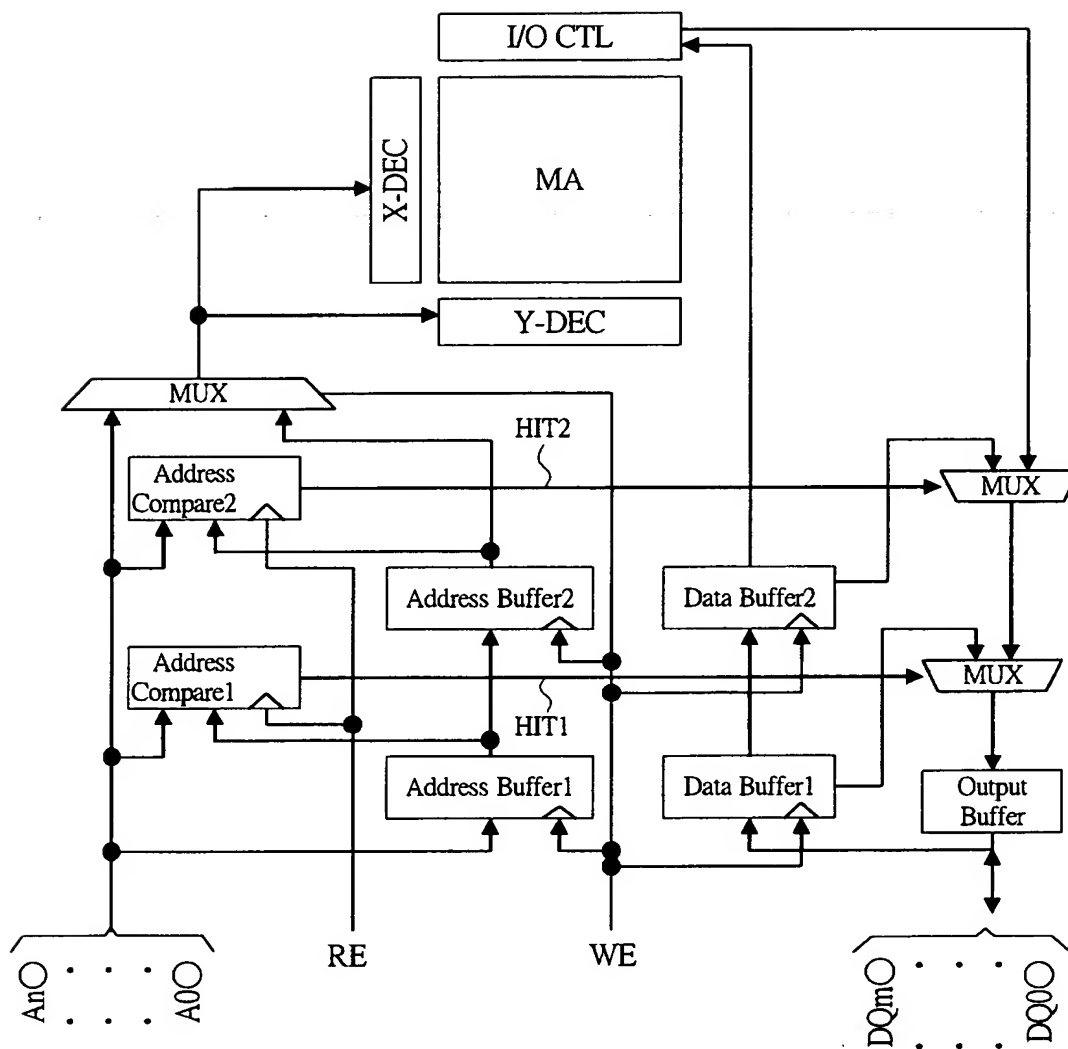
(a)



(b)

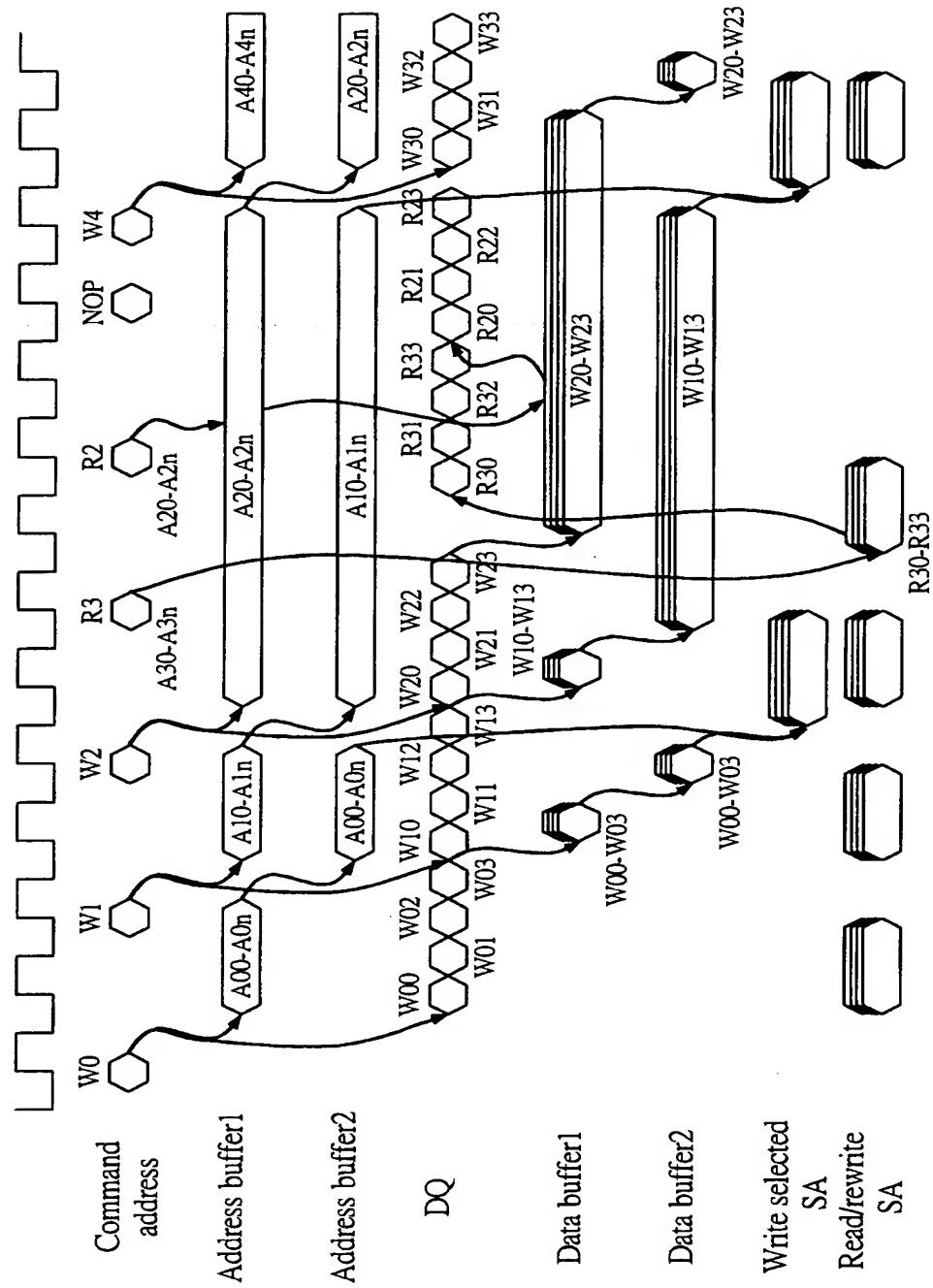


【図 15】

 15

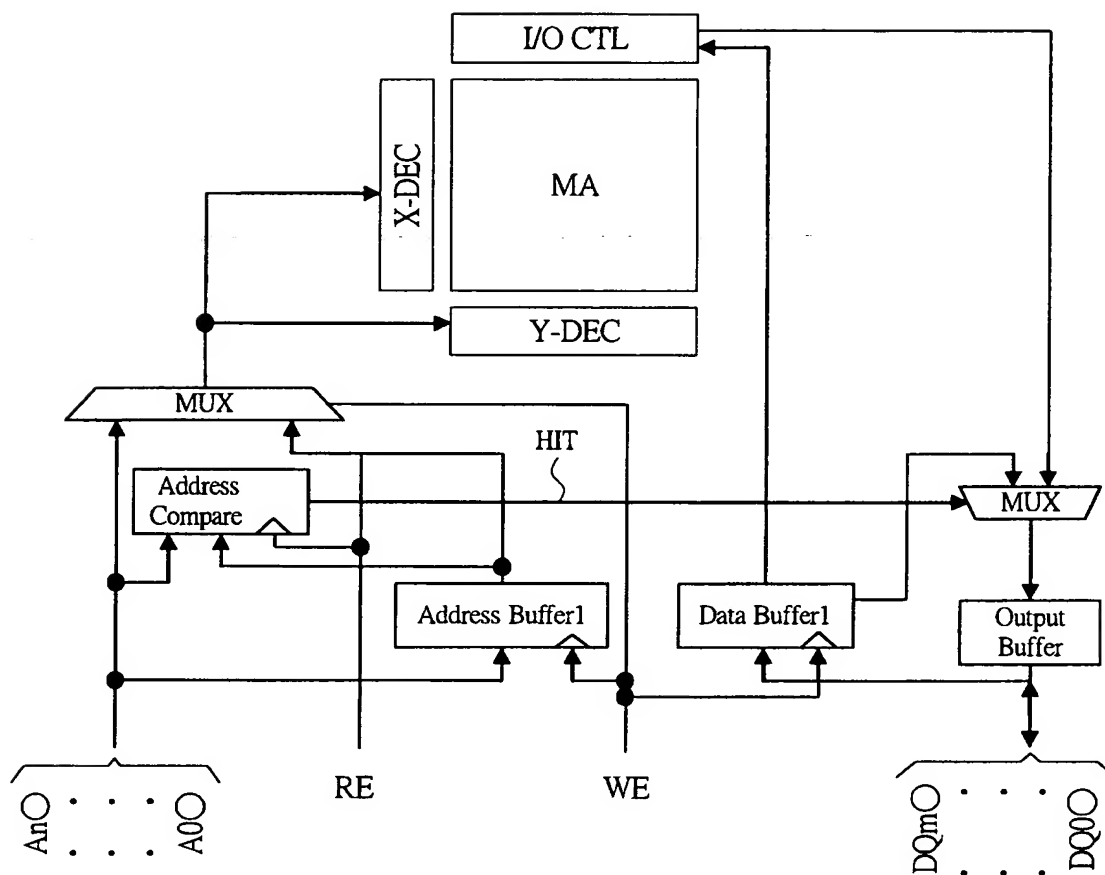
【図 16】

図 16



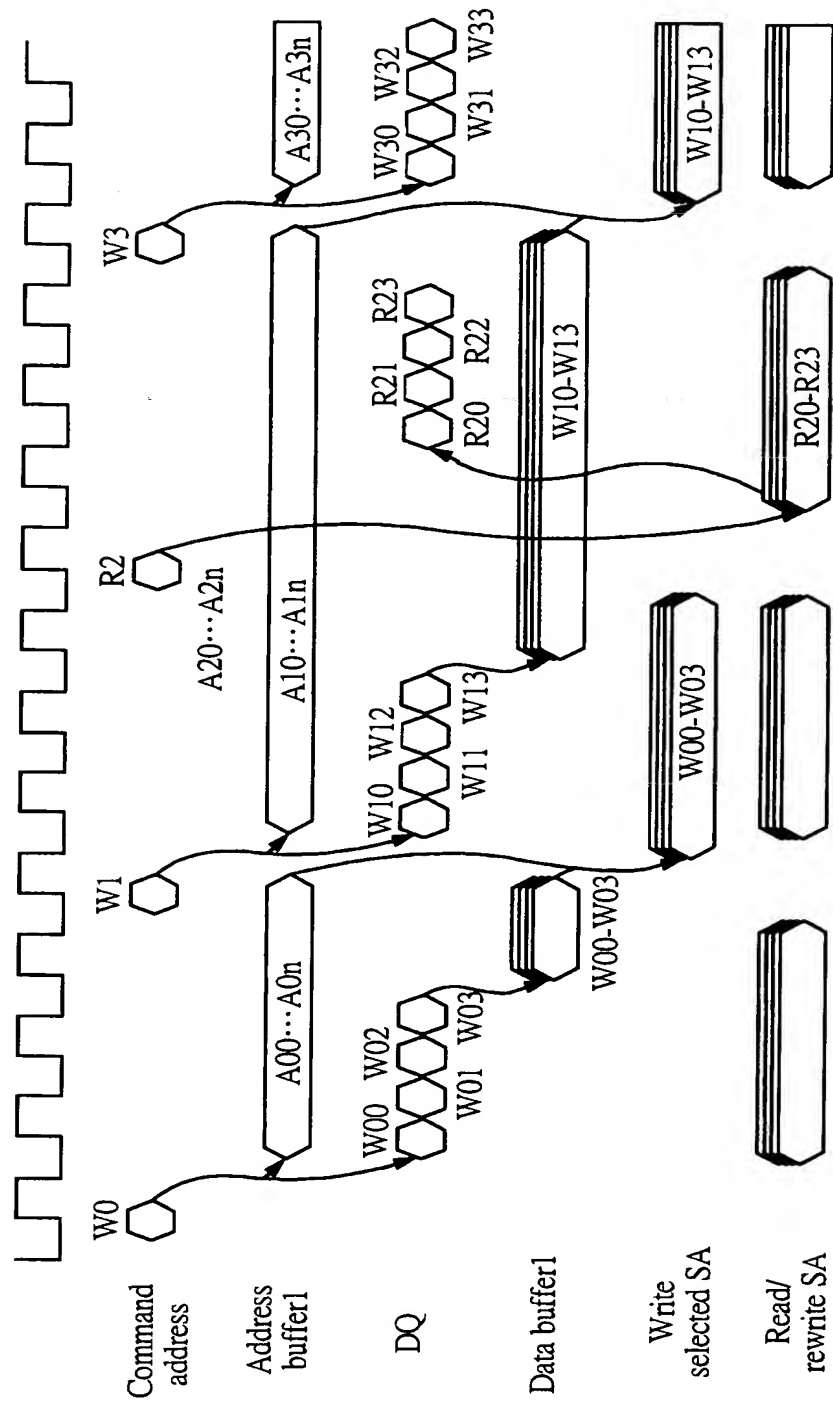
【図 17】

図 17



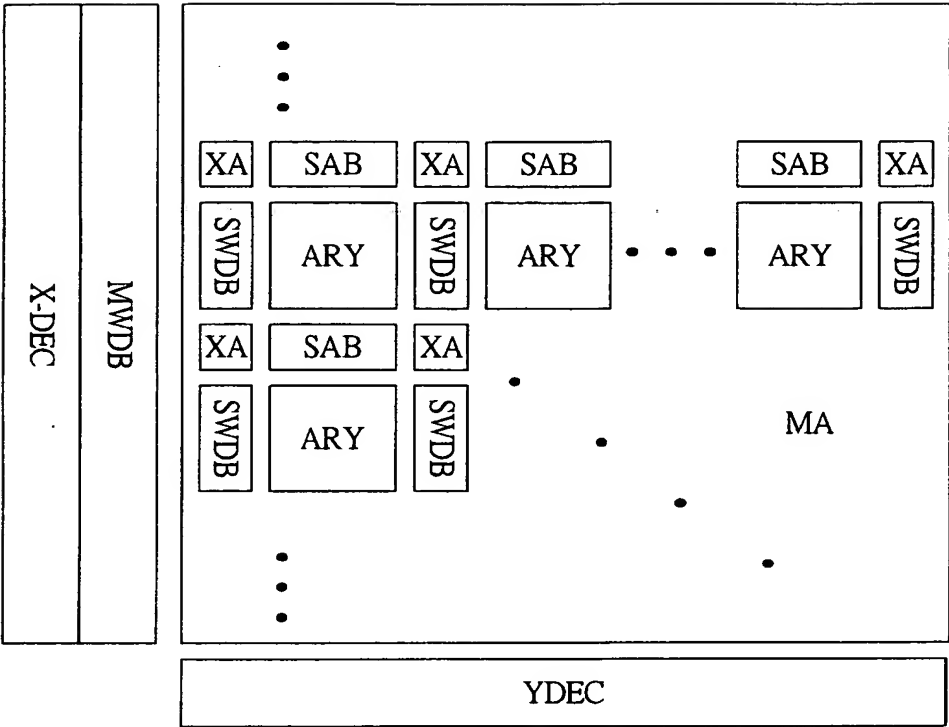
【図 18】

18



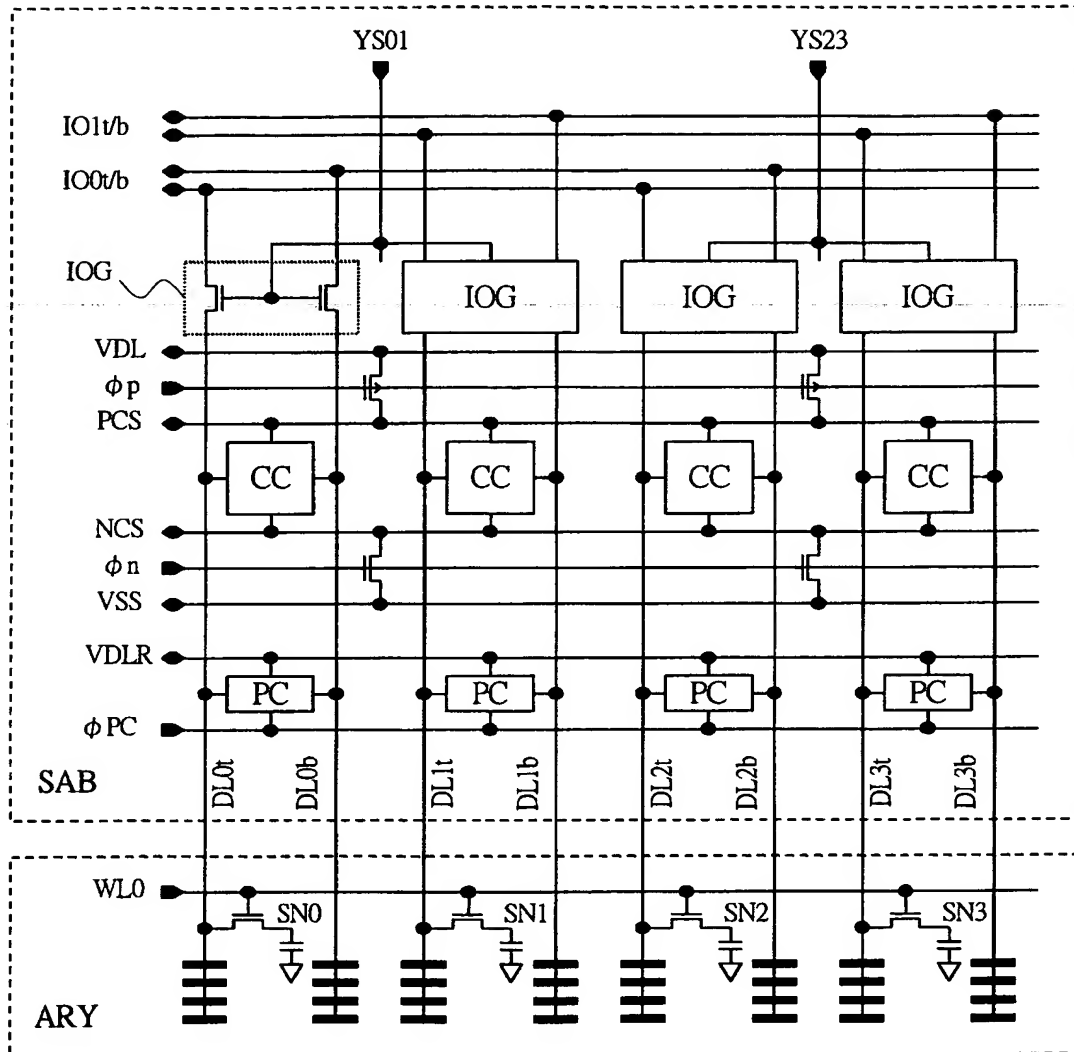
【図 1 9】

図 19



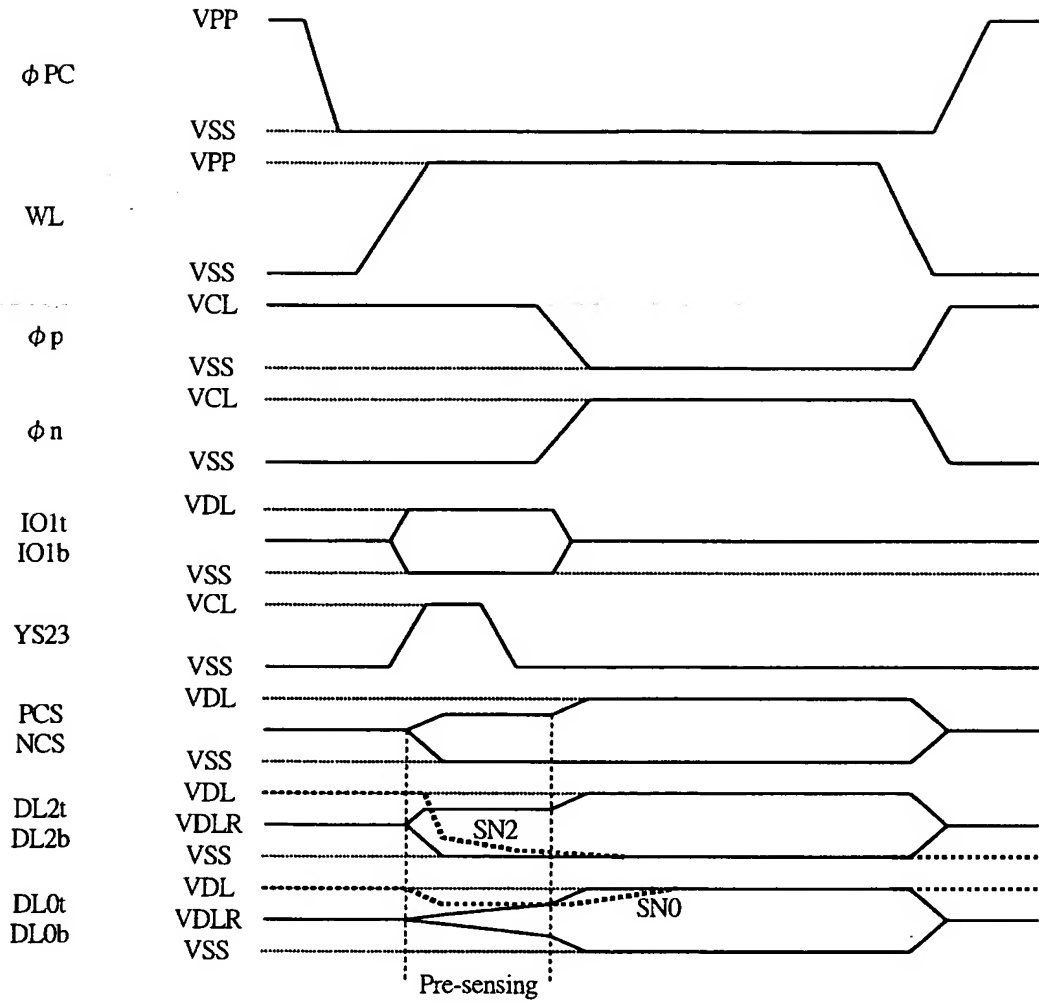
【図 20】

図 20



【図 21】

図 21



【書類名】 要約書**【要約】**

【課題】 高速サイクルの D R A M において、高速書き込み動作と、安定した再書き込み動作の両立を実現する。

【解決手段】 ワード線を活性化すると同時に Y 選択線 Y S 1 も活性化し、入出力線 I O t / b よりライトデータを選択データ線 D L 1 t / b に書き込み、隣接する非選択センスアンプでは、メモリセルのデータを読み出す。データ線対のそれぞれに接続するセンスアンプのクロスカップル C C のソースノードを Y 選択線毎に分割することにより、ライト選択クロスカップルによるソースノードの駆動が防止する。読み出し時にライトデータを書き込むことが可能となり高速書き込み動作を実現できる一方、ライトセンスアンプによるソースノードの駆動が防止できるため、隣接センスアンプでは、ライトセンスアンプの影響を受けずに安定した読み出し動作が実現できる。

【選択図】 図 1

特願 2 0 0 3 - 3 7 3 0 2 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 3 7 3 0 2 6

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社

特願 2 0 0 3 - 3 7 3 0 2 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 1 6 9]

1 . 変更年月日

1 9 9 8 年 4 月 3 日

[変更理由]

名称変更

住 所

東京都小平市上水本町 5 丁目 2 2 番 1 号

氏 名

株式会社日立超エル・エス・アイ・システムズ